

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223297

(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

H01L 23/12
H01L 23/28
H01L 23/52
// H01L 25/065
H01L 25/07
H01L 25/18
H01L 25/10
H01L 25/11

(21)Application number : 2000-068986

(22)Date of filing : 13.03.2000

(71)Applicant : FUJITSU LTD

(72)Inventor : TANIGUCHI FUMIHIKO
IKAWA KOHEI
UNO TADASHI
ANDO FUMIHIKO
TAKASHIMA AKIRA
ONODERA HIROSHI
YOSHIDA EIJI
TESHIROGI KAZUO

(30)Priority

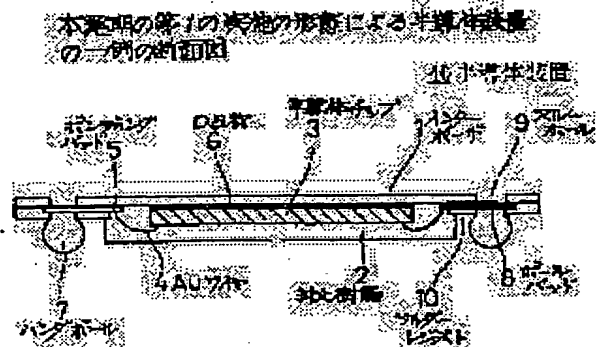
Priority number : 11340816 Priority date : 30.11.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD AND ITS LAMINATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which can improve the packaging density as a three-dimensional structure by laminating a plurality of semiconductor devices.

SOLUTION: A semiconductor chip is mounted on one side of an interposer 1, and the electrode of the semiconductor chip 3 is connected to a bonding pad 5. A soldering ball 7 is provided on a ball pad 8 connected to the bonding pad 5. A through-hole 9 is provided on the interposer 1 on the side opposite to the soldering ball on the ball pad 8. The height of the soldering ball is made higher than that of the sealing resin 2 of the semiconductor chip 3.



LEGAL STATUS

[Date of request for examination]

25.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On the 1st [of the rewiring substrate which has a semiconductor device, the 1st field in which this semiconductor device is carried and the 2nd field of the opposite side of this 1st field, and this rewiring substrate] field The electrode pad which has been arranged around said semiconductor device and was electrically connected with said semiconductor device, The semiconductor device characterized by having consisted of a projection electrode prepared on this electrode pad, and a through tube from said 2nd field of said rewiring substrate to said electrode pad, and making the height from said 1st field of said projection electrode higher than the closure height from said 2nd field of said semiconductor device.

[Claim 2] On the 1st [of the rewiring substrate which has a semiconductor device, the 1st field in which this semiconductor device is carried, and the 2nd field of the opposite side of this 1st field, and this rewiring substrate] field The electrode pad which has been arranged around said semiconductor device and was electrically connected with said semiconductor device, It consists of a through tube from said 2nd field of said rewiring substrate to this electrode pad, and a projection electrode prepared in said electrode pad from this through tube side. The semiconductor device characterized by making the height from said 2nd field of said projection electrode higher than the closure height from said electrode pad of said semiconductor device.

[Claim 3] The semiconductor device which is a semiconductor device according to claim 1 or 2, carries out laminating immobilization of other semiconductor devices at said semiconductor device, and is characterized by closing in one.

[Claim 4] On the 1st [of the rewiring substrate which has the 1st field in which the 1st and 2nd semiconductor devices and these 1st semiconductor devices were carried, and the 2nd field in which this 2nd semiconductor device was carried, and this rewiring substrate] field On the 1st electrode pad which has been arranged around said 1st semiconductor device and was electrically connected with said 1st semiconductor device, and the 2nd [of said rewiring substrate.] field The 2nd electrode pad which has been arranged around said 2nd semiconductor device and was electrically connected with said 2nd semiconductor device, The VIA hole which connects electrically said 1st electrode pad and said 2nd electrode pad, The semiconductor device characterized by having consisted of a projection electrode prepared in said 1st electrode pad or said 2nd electrode pad, and making the height of said projection electrode higher than the closure height of said 1st semiconductor device.

[Claim 5] It is the semiconductor device characterized by being a semiconductor device according to claim 4, and making said projection electrode higher than total with the closure height of said 1st semiconductor device, and the closure height of said 2nd semiconductor device.

[Claim 6] The semiconductor device which is a semiconductor device according to claim 4 or 5, carries out laminating immobilization of the 3rd semiconductor device at either, and is characterized by the thing of said 1st semiconductor device and said 2nd semiconductor device closed in one at least.

[Claim 7] It is the semiconductor device which it is a semiconductor device according to claim 4 or 5, and said 1st and 2nd semiconductor devices are connected to said 1st and 2nd electrode pads by wirebonding, and is characterized by the connecting location of the wire on said 1st electrode pad

having shifted from the connecting location of the wire on said 2nd electrode pad.

[Claim 8] The semiconductor device which is a semiconductor device which has the laminated structure which carried out the laminating of two or more semiconductor devices indicated by claim 1 thru/or 7, and was connected, and is characterized by the number of electrodes of the semiconductor device of the top in a laminated structure differing from the number of electrodes of a lower semiconductor device.

[Claim 9] It is the manufacture approach of a semiconductor device that the 1st semiconductor device was carried in the 1st field of a rewiring substrate, and the 2nd semiconductor device was carried in the 2nd field of the opposite side of this 1st field. Said 1st semiconductor device is carried in the 1st field of said rewiring substrate. Said rewiring substrate Inside-out, Said rewiring substrate is laid on the fixture which has the buffer member which has the crevice in which said 1st semiconductor device is held, and supports said 1st semiconductor device in this crevice. The manufacture approach of the semiconductor device characterized by having each phase of carrying said 2nd semiconductor device in the 2nd field of said rewiring substrate.

[Claim 10] A rewiring substrate and the semiconductor device protected by the package while being carried in the center of this rewiring substrate, The projection electrode arranged in the periphery location of this semiconductor device of said rewiring substrate, Two or more semiconductor devices which have the electrode pad arranged so that said projection electrode arrangement side and opposite side side of said rewiring substrate might be countered with said projection electrode While arranging said semiconductor device in the laminating approach of the semiconductor device which carries out a laminating by joining said projection electrode and said electrode pad so that said projection electrode may serve as the bottom to the direction of a laminating The laminating approach of the semiconductor device characterized by having the flux arrangement process which imprints said flux on said projection electrode using an imprint head with the fluxing section by which flux is applied only to the arrangement location of said projection electrode, and a corresponding location.

[Claim 11] A rewiring substrate and the semiconductor device protected by the package while being carried in the center of this rewiring substrate, The projection electrode arranged in the periphery location of this semiconductor device of said rewiring substrate, Two or more semiconductor devices which have the electrode pad arranged so that said projection electrode arrangement side and opposite side side of said rewiring substrate might be countered with said projection electrode In the laminating approach of the semiconductor device which carries out a laminating by joining said projection electrode and said electrode pad To the flux feed zone material which has the flux loading section by which only the location corresponding to the arrangement location of said projection electrode was loaded with flux The laminating approach of the semiconductor device characterized by having the flux arrangement process which arranges said flux on said projection electrode by conveying said semiconductor device in the condition that said projection electrode serves as the bottom to the direction of a laminating, and immersing said projection electrode in said flux loading section.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device and a semiconductor device, and relates to the manufacture approach of a suitable semiconductor device to carry out the laminating of two or more semiconductor devices, consider as the three-dimensional structure, and aim at improvement in packaging density especially, and a semiconductor device.

[0002] A miniaturization and thin shape-ization are demanded also of the semiconductor device used for electronic equipment with thin-shape[the miniaturization of electronic equipment, lightweight-izing, and]-izing. The package of a semiconductor device is shifting to the BGA (ball grid array) mold package or CSP (chip-size package) which has arranged the external connection terminal in the shape of an area array at the base of a package in the four directions from QFP for surface mounts to which the terminal extended in the shape of a gull wing that such a demand should be coped with.

[0003] In such a semiconductor package, a semiconductor chip is mounted in a rewiring substrate (INTAPOZA), and many the so-called fan-out type which has arranged the terminal for external connection around a semiconductor chip by INTAPOZA of packages are used.

[0004]

[Description of the Prior Art] Drawing 1 is the sectional view of the semiconductor device of the conventional fan-out mold. In drawing 1, a semiconductor chip 3 is carried in INTAPOZA 1 which consists of a polyimide substrate or a glass epoxy group plate, and the closure is carried out with closure resin 2. The semiconductor chip 3 is being fixed to INTAPOZA 1 by the DB material (bonding agent) 6 in the state of face up. The bonding pad 5 and the ball pad 8 are formed in the top face of INTAPOZA 1, and the circuit pattern connects, respectively.

[0005] The electrode and bonding pad 5 of a semiconductor chip 3 are connected by the Au wire 4. Moreover, in order to protect a semiconductor chip 3, the Au wire 4, and bonding pad 5 grade, the closure of the field in which the semiconductor chip 3 of INTAPOZA 1 was carried is carried out with the closure resin 2 which consists of epoxy system resin etc. A through hole (VIA hole) 9 is established in the location corresponding to the ball pad 8 and bonding pad 5 of INTAPOZA 1 from the inferior-surface-of-tongue side, and the pewter ball 7 is formed in the ball pad 8 and the bonding pad 5. Therefore, the semiconductor chip 3 is electrically connected to the pewter ball 7 which is an external connection terminal through INTAPOZA 1, and the pewter ball 7 is projected and formed in the inferior-surface-of-tongue side of INTAPOZA 1.

[0006] Drawing 2 is the sectional view of CSP (chip-size package) of the conventional flip chip mounting mold. In drawing 2, the same sign is given to the same components as the component part shown in drawing 1, and the explanation is omitted.

[0007] In drawing 2, flip chip mounting of the semiconductor chip 3 is carried out in the state of the face down at INTAPOZA 1. That is, the semiconductor chip 3 has the bump 12 for connection, and the bump 12 for connection is connected to the bonding pad 5. It fills up with the under-filling material 11 between a semiconductor chip 3 and INTAPOZA 1, and the semiconductor chip 3 is being fixed to INTAPOZA 1. Like the semiconductor device shown in drawing 1, a through hole (VIA hole) 9 is established in INTAPOZA 1, and the pewter ball 7 is projected and formed in the inferior-surface-of-tongue side of INTAPOZA 1.

[0008]

[Problem(s) to be Solved by the Invention] In the above-mentioned semiconductor package, most sizes of a package are reduced to the semi-conductor chip size by reducing the component-side product of PA&KEJ including a semiconductor chip. Therefore, it is necessary to think that two-dimensional

contraction of package structure has reached the limitation mostly, and to consider the miniaturization of a semiconductor device in three dimensions from now on. That is, it is becoming important how not only the component-side product of a semiconductor device but the mounting volume is made small. [0009] This invention is made in view of an above-mentioned technical problem, and it aims at offering the semiconductor device which enabled mounting of a semiconductor device in three dimensions, and its manufacture approach by carrying out the laminating of the semiconductor device package according to easy structure, and unifying.

[0010]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the semiconductor device by invention according to claim 1 On the 1st [of the rewiring substrate which has a semiconductor device, the 1st field in which this semiconductor device is carried, and the 2nd field of the opposite side of this 1st field, and this rewiring substrate] field The electrode pad which has been arranged around said semiconductor device and was electrically connected with said semiconductor device, It consists of a projection electrode prepared on this electrode pad, and a through tube from said 2nd field of said rewiring substrate to said electrode pad, and considers as the configuration which made the height from said 1st field of said projection electrode higher than the closure height from said 2nd field of said semiconductor device.

[0011] The semiconductor device by invention according to claim 2 on the 1st [of the rewiring substrate which has a semiconductor device, the 1st field in which this semiconductor device is carried, and the 2nd field of the opposite side of this 1st field, and this rewiring substrate] field The electrode pad which has been arranged around said semiconductor device and was electrically connected with said semiconductor device, It consists of a through tube from said 2nd field of said rewiring substrate to this electrode pad, and a projection electrode prepared in said electrode pad from this through tube side, and considers as the configuration which made the height from said 2nd field of said projection electrode higher than the closure height from said electrode pad of said semiconductor device.

[0012] Invention according to claim 3 is a semiconductor device according to claim 1 or 2, carries out laminating immobilization of other semiconductor devices at said semiconductor device, and is taken as the configuration closed in one.

[0013] Invention according to claim 4 on the 1st [of the rewiring substrate which has the 1st field in which the 1st and 2nd semiconductor devices and these 1st semiconductor devices were carried, and the 2nd field in which this 2nd semiconductor device was carried, and this rewiring substrate] field On the 1st electrode pad which has been arranged around said 1st semiconductor device and was electrically connected with said 1st semiconductor device, and the 2nd [of said rewiring substrate] field The 2nd electrode pad which has been arranged around said 2nd semiconductor device and was electrically connected with said 2nd semiconductor device, The VIA hole which connects electrically said 1st electrode pad and said 2nd electrode pad, It consists of a projection electrode prepared in said 1st electrode pad or said 2nd electrode pad, and considers as the configuration which made the height of said projection electrode higher than the closure height of said 1st semiconductor device.

[0014] Invention according to claim 5 is a semiconductor device according to claim 4, and considers said projection electrode as the configuration made higher than total with the closure height of said 1st semiconductor device, and the closure height of said 2nd semiconductor device.

[0015] Invention according to claim 6 is a semiconductor device according to claim 4 or 5, and is taken as the configuration of said 1st semiconductor device and said 2nd semiconductor device which carried out laminating immobilization of the 3rd semiconductor device at least at either, and was closed in one.

[0016] Invention according to claim 7 is a semiconductor device according to claim 4 or 5, said 1st and 2nd semiconductor devices are connected to said 1st and 2nd electrode pads by wirebonding, and the connecting location of the wire on said 1st electrode pad is considered as the configuration which has shifted from the connecting location of the wire on said 2nd electrode pad.

[0017] Invention according to claim 8 is a semiconductor device which has the laminated structure

which carried out the laminating of two or more semiconductor devices indicated by claim 1 thru/or 7, and was connected, and is taken as the configuration from which the number of electrodes of the semiconductor device of the top in a laminated structure and the number of electrodes of a lower semiconductor device differ.

[0018] As for invention according to claim 9, the 1st semiconductor device is carried in the 1st field of a rewiring substrate. It is the manufacture approach of a semiconductor device that the 2nd semiconductor device was carried in the 2nd field of the opposite side of this 1st field. Said 1st semiconductor device is carried in the 1st field of said rewiring substrate. Said rewiring substrate Inside-out, Said rewiring substrate is laid on the fixture which has the buffer member which has the crevice in which said 1st semiconductor device is held, and supports said 1st semiconductor device in this crevice, and it considers as the configuration which has each phase of carrying said 2nd semiconductor device in the 2nd field of said rewiring substrate.

[0019] The semiconductor device protected by the package while invention according to claim 10 was carried in the center of a rewiring substrate and this rewiring substrate, The projection electrode arranged in the periphery location of this semiconductor device of said rewiring substrate, Two or more semiconductor devices which have the electrode pad arranged so that said projection electrode arrangement side and opposite side side of said rewiring substrate might be countered with said projection electrode While arranging said semiconductor device in the laminating approach of the semiconductor device which carries out a laminating by joining said projection electrode and said electrode pad so that said projection electrode may serve as the bottom to the direction of a laminating It considers as the configuration which has the flux arrangement process which imprints said flux on said projection electrode using an imprint head with the fluxing section by which flux is applied only to the arrangement location of said projection electrode, and a corresponding location.

[0020] The semiconductor device protected by the package while invention according to claim 11 was carried in the center of a rewiring substrate and this rewiring substrate, The projection electrode arranged in the periphery location of this semiconductor device of said rewiring substrate, Two or more semiconductor devices which have the electrode pad arranged so that said projection electrode arrangement side and opposite side side of said rewiring substrate might be countered with said projection electrode In the laminating approach of the semiconductor device which carries out a laminating by joining said projection electrode and said electrode pad To the flux feed zone material which has the flux loading section by which only the location corresponding to the arrangement location of said projection electrode was loaded with flux Said semiconductor device is conveyed in the condition that said projection electrode serves as the bottom to the direction of a laminating; and it considers as the configuration which has the flux arrangement process which arranges said flux on said projection electrode by immersing said projection electrode in said flux loading section.

[0021] Each above-mentioned means acts as follows.

[0022] According to invention according to claim 1, a through tube is prepared in INTAPOZA on the background of an electrode pad in which the projection electrode was prepared, and the background side (field of a projection electrode and the opposite side) of an electrode pad is exposed within a through tube. Moreover, since the height of a projection electrode is higher than the closure height of a semiconductor device, when carrying out the laminating of the semiconductor device of the same structure, the projection electrode of an upper semiconductor device can be connected to the electrode pad in the through tube of a lower semiconductor device. At this time, the part to which the closure of the semiconductor device of an upper semiconductor device was carried out is held in the space formed with the projection electrode between the rewiring substrate of an upper semiconductor device, and the rewiring substrate of a lower semiconductor device. Therefore, only a projection electrode can prescribe connection of each semiconductor device and the distance between each semiconductor device, and the laminated structure of two or more semiconductor devices with an easy configuration can be realized. Moreover, the rewiring substrate has the loading side of a semiconductor device, and can

arrange an electrode pad freely on a rewiring substrate by forming a circuit pattern in this loading side.

[0023] According to invention according to claim 2, a through tube is prepared in INTAPOZA on the background of an electrode pad in which the projection electrode was prepared, the background side of an electrode pad is exposed within a through tube, and a projection electrode is prepared in this field. Moreover, since the height of a projection electrode is higher than the closure height of a semiconductor device, when carrying out the laminating of the semiconductor device of the same structure, the projection electrode of an upper semiconductor device can be connected to the electrode pad of a lower semiconductor device. At this time, the part to which the closure of the semiconductor device of a lower semiconductor device was carried out is held in the space formed with the projection electrode between the rewiring substrate of an upper semiconductor device, and the rewiring substrate of a lower semiconductor device. Therefore, only a projection electrode can prescribe connection of each semiconductor device and the distance between each semiconductor device, and the laminated structure of two or more semiconductor devices with an easy configuration can be realized. Moreover, the rewiring substrate has the loading side of a semiconductor device, and can arrange an electrode pad freely on a rewiring substrate by forming a circuit pattern in this loading side.

[0024] Since according to invention according to claim 3 laminating immobilization of the semiconductor device of further others is carried out at the semiconductor device of a semiconductor device according to claim 1 or 2 and it closes in one, the laminating of the semiconductor device of a laminated structure can be carried out further, and many semiconductor devices can be mounted by the inside of the same volume.

[0025] According to invention according to claim 4, a projection electrode is prepared only in one side of the electrode pad which the semiconductor device was mounted in both sides of a rewiring substrate, and was prepared in both sides of a rewiring substrate. The electrode pad of both sides of a rewiring substrate is electrically connected by the VIA hole. Therefore, the laminating of the semiconductor device which has a projection electrode higher than the closure quantity of the semiconductor device of the side in which the projection electrode is not prepared can be carried out from the side which is not prepared in the projection electrode, and the laminated structure of a semiconductor device can be realized with an easy configuration.

[0026] According to invention according to claim 5, in a semiconductor device according to claim 4, since a projection electrode is more expensive than total of the closure height of the semiconductor device of the both sides of a rewiring substrate, the laminating of the semiconductor devices of the same configuration can be carried out.

[0027] Since according to invention according to claim 6 laminating immobilization of the semiconductor device of further others is carried out at the semiconductor device of a semiconductor device according to claim 4 or 5 and it closes in one, the laminating of the semiconductor device of a laminated structure can be carried out further, and many semiconductor devices can be mounted by the inside of the same volume.

[0028] According to invention according to claim 7, in a semiconductor device according to claim 4 or 5, the semiconductor device of the both sides of a rewiring substrate is connected to an electrode pad by wirebonding. And the connecting location of the wire on the electrode pad of one side has shifted from the connecting location of the wire on the electrode pad of the opposite side. Since the wire is already stretched under the bonding location when performing wirebonding of the semiconductor device of the opposite side after performing wirebonding of the semiconductor device of one side, when the bonding location of the semiconductor device of both sides is the same, a bonding location cannot be supported from the bottom. However, in the semiconductor device by this invention, when performing wirebonding of the semiconductor device of the opposite side after performing wirebonding of the semiconductor device of one side, a bonding location can be supported from the part bottom by which bonding is carried out using a gap of the bonding location of the opposite side, and positive wirebonding can be performed.

[0029] Since it considers as the configuration from which the number of electrodes of the semiconductor device of the top in a laminated structure and the number of electrodes of a lower semiconductor device differ in the semiconductor device which has the laminated structure which carried out the laminating of two or more semiconductor devices indicated by claim 1 thru/or 7, and was connected according to invention according to claim 8, the laminating of the semiconductor devices which have the semiconductor device from which size differs can be carried out.

[0030] Since according to invention according to claim 9 it can carry, supporting the semiconductor device of the opposite side from the bottom after carrying the semiconductor device of one side in case a semiconductor device is carried in both sides of a rewiring substrate, the semiconductor device of both sides can certainly be carried in a rewiring substrate.

[0031] While according to invention according to claim 10 arranging a semiconductor device in the laminating approach of the semiconductor device which carries out the laminating of two or more semiconductor devices by joining a projection electrode and an electrode pad so that a projection electrode may serve as the bottom to the direction of a laminating By imprinting flux on a projection electrode using an imprint head with the fluxing section by which flux is applied only to the arrangement location of a projection electrode, and a corresponding location, flux can be prepared only in a projection electrode. Therefore, it can prevent that the projection electrode and electrode pad which adjoin at the time of the reflow processing carried out in order to join an electrode pad to a projection electrode after FURAKKU spreading short-circuit.

[0032] In the laminating approach of the semiconductor device which carries out the laminating of two or more semiconductor devices by joining a projection electrode and an electrode pad according to invention according to claim 11 By conveying a semiconductor device in the condition that a projection electrode serves as the bottom to the direction of a laminating, immersing a projection electrode in the flux loading section by which only the location corresponding to the arrangement location of a projection electrode was loaded with flux, and arranging flux on a projection electrode Flux can be prepared only in a projection electrode. Therefore, it can prevent that the projection electrode and electrode pad which adjoin at the time of the reflow processing carried out in order to join an electrode pad to a projection electrode after FURAKKU spreading short-circuit.

[0033] Moreover, after usually being manufactured, a semiconductor device is kept so that a projection electrode may be located downward. For this reason, by the laminating approach according to claim 10, the processing which reverses a required semiconductor device becomes unnecessary, and simplification of a flux arrangement process can be attained.

[0034]

[Embodiment of the Invention] Hereafter, the gestalt of the operation in this invention is explained to a detail with reference to a drawing.

[0035] Drawing 3 is the sectional view of the semiconductor device 40 by the 1st example of this invention. The semiconductor device 40 shown in drawing 3 is a semiconductor device of the fan-out mold by which wirebonding connection was made. In drawing 3, the same sign is given to the same components as the component part shown in drawing 1, and the explanation is omitted.

[0036] In the semiconductor device 40 shown in drawing 3, a semiconductor chip 3 is carried in the wiring-side side of INTAPOZA 1 which consists of an one side wiring substrate. INTAPOZA 1 is formed from a polyimide tape substrate, a glass epoxy group plate, or an organic substrate (polycarbonate). A semiconductor chip 3 is fixed to INTAPOZA 1 by the DB material 6, and a semiconductor chip 3 and the bonding pad 5 formed on INTAPOZA 1 are electrically connected by carrying out wirebonding with the Au wire 4. A bonding pad 5 is connected to the ball pad 8 by the circuit pattern. The front face of the ball pad 8 is covered with the pewter resist 10 except for the part which forms the pewter ball 7. The pewter ball 7 is formed on the ball pad 8 by the side of the field in which a semiconductor chip 3 is carried.

[0037] The through hole (VIA) 9 where even the ball pad 8 extends is established in the field of the

opposite side of the semiconductor chip 3 loading side of INTAPOZA 1. That is, a through hole 9 is a through tube which penetrates the substrate of INTAPOZA 1 and is prepared. Therefore, the field of the opposite side of the field in which the pewter ball 7 of the ball pad 8 was formed is exposed in a through hole 9. In order to carry out the laminating of the semiconductor device like the after-mentioned and to make connection possible, the magnitude of a through hole 9 is set as magnitude which the ball pad 8 of sufficient area to connect the pewter ball 7 exposes.

[0038] Although the closure of a semiconductor chip 3 and the bonding pad 5 is carried out with closure resin 2, the closure of the ball pad 8 which exposed only the alder dowel-RU loading part by the pewter resist 10 is not carried out. Therefore, the pewter ball 7 is formed on the ball pad 8 exposed by the pewter resist 10. That is, the pewter ball 7 is arranged around a semiconductor chip 3 at the semiconductor chip loading side side of INTAPOZA 1.

[0039] A semiconductor chip 3 is a thin-shape-ized semiconductor chip, and the closure height (height from the ball pad 8 of the part closed with closure resin 2) by closure resin 2 is set up lower than the height (height from the ball pad 8 of the pewter ball 7) of the pewter ball 7. Namely, as it becomes higher than the closure height by closure resin 2, it is set up, and the height of the pewter ball 7 carries out the laminating of the semiconductor device which has the same structure so that it may mention later easily, and has connectable structure. Thus, in order to make the height of closure resin 2 low, when using wirebonding, it is effective to use fluid resin. Moreover, the closure height stabilized lower is realizable by using a vacuum airline printer together.

[0040] Drawing 4 is a semiconductor device by the gestalt of this operation, and is the sectional view showing the example in the case of carrying out flip chip mounting of the semiconductor chip. In drawing 4, the same sign is given to the same components as the component part shown in drawing 3, and the explanation is omitted.

[0041] As shown in drawing 4, it can be made still lower than the case where the closure height by closure resin 2 is shown in drawing 3, by using flip chip mounting for connection of a semiconductor chip 3. That is, closure height is low pressed down by performing electrical installation of a semiconductor chip 3 and INTAPOZA 1 with the projection electrode 12 which replaced with the Au wire 4 and was formed in the semiconductor chip 3. Au bump or a pewter bump is used as a projection electrode 12.

[0042] Generally between a semiconductor chip 3 and INTAPOZA 1, the under-filling material 11 is poured in, and connection between the projection electrode 12 and a bonding pad 5 is reinforced. By performing impregnation of this under-filling material 11, after forming the pewter ball 7, the under-filling material 11 can be supplied also to the joint of the pewter ball 7 and a ball pad, and connection of the pewter ball 7 can be reinforced. Thereby, the dependability of secondary mounting which mounts a semiconductor device in a substrate can be raised.

[0043] Although the semiconductor device shown in drawing 4 is the so-called exaggerated mold type which closes the semiconductor chip 3 whole with closure resin 2, in flip chip mounting, closure height (closure height turns into height of the top face of a semiconductor chip 3 in this case) can be made lower by excluding the closure by closure resin 2.

[0044] The semiconductor device shown in above-mentioned drawing 3 and above-mentioned drawing 4 can be manufactured in low cost by using INTAPOZA 1 of one side wiring. Moreover, it is not necessary to perform through hole plating to a through hole 9, and can respond also to detailed wiring.

[0045] Drawing 5 is the top view showing the physical relationship of the bonding pad 5 of a semiconductor device and the ball pad 8 using the wirebonding connection shown in drawing 3. INTAPOZA 1 used for the semiconductor device by the gestalt of this operation can form a circuit pattern also on the field which counters a semiconductor chip 3, as shown in drawing 5. For this reason, the arrangement relation between a bonding pad 5 and the ball pad 8 can be set up freely, and a bonding pad 5 and the ball pad 8 can be efficiently arranged within a narrow area.

[0046] In addition, although explanation of the semiconductor device by the gestalt of this above-

mentioned operation illustrated and explained the example which connected a semiconductor chip 3 and INTAPOZA 1 by wirebonding and flip chip mounting, INTAPOZA 1 may be used as a tape substrate and a semiconductor chip 3 and INTAPOZA 1 may be connected by TAB (tape auto METEDO bonding) connection.

[0047] Next, the structure which carried out the laminating of two or more semiconductor devices by the 1st example of above-mentioned this invention, and was connected is explained. Drawing 6 is the sectional view showing the example which carried out the two-piece laminating of the semiconductor device which connected the semiconductor chip to INTAPOZA by wirebonding as shown in drawing 3, and was connected. Drawing 7 is the sectional view showing the example which carried out the two-piece laminating of the semiconductor device which connected the semiconductor chip to INTAPOZA by flip chip mounting as shown in drawing 4, and was connected. In drawing 6 and drawing 7, the same sign is given to the same components as the component part shown in drawing 3 and drawing 4, respectively, and the explanation is omitted.

[0048] As shown in drawing 6 and drawing 7, the pewter ball 7 prepared in the upper semiconductor device is connected to the ball pad 8 with which a lower semiconductor device corresponds through the through hole 9 of a lower semiconductor device. Since the height of a pewter ball is higher than the closure height of closure resin 2, spacing between INTAPOZA 1 of an upper semiconductor device and a lower semiconductor device is maintained with the pewter ball 7 more than the closure height of closure resin 2. Therefore, a semiconductor chip 3 is held in the space formed between INTAPOZA 1 of an upper semiconductor device, and INTAPOZA 1 of a lower semiconductor device.

[0049] What is necessary is just to fuse the pewter ball 7 of an upper semiconductor device, after only piling up semiconductor devices, and to connect with the ball pad of a lower semiconductor device in the laminated structure of such a semiconductor device, in order to carry out laminating immobilization of the semiconductor device. Therefore, a laminated structure can be formed by the very easy activity. Moreover, since the pewter ball 7 of an upper semiconductor device is arranged in the through hole 9 formed in INTAPOZA 1 of a lower semiconductor device, positioning of semiconductor devices is performed automatically.

[0050] Drawing 8 is the sectional view showing some semiconductor devices which are the modifications of the semiconductor device by the gestalt of this operation. The same sign is given to the same components as the component part shown in drawing 6 in drawing 8, and the explanation is omitted. In the modification shown in drawing 8, the through hole 9 is formed in the shape of a grinding dovetail. By making a through hole 9 into such a configuration, at the time of positioning of a semiconductor device, the operation to which it shows the pewter ball 7 to a through hole 9 improves, and positioning of semiconductor devices becomes easier. The configuration which is not limited in the shape of a grinding dovetail, and beveled the edge of a through hole 9 is sufficient as the configuration of a through hole 9.

[0051] Moreover, in order to prevent omission of a laminating or the pewter ball by the reflow of the pewter at the time of secondary mounting, it is desirable to make diameter size of a mounting land into 1.5 or less times of the diameter size of opening of a through hole 9. Diameter size of a mounting land and diameter size of opening of a through hole 9 are more preferably made equivalent. Thereby, the area of an up-and-down pewter connection becomes equal, and the fused pewter can be drawn close by one of the two, or can prevent the stress concentration of the joint after mounting. Moreover, as a pewter ball 7 of the semi-conductor used for a laminating, by using a high-melting pewter ball, it can prevent that the pewter ball 7 in a laminated structure remelts the laminating structure to ** secondarily mounted to a mother board, and reliable secondary mounting can be attained.

[0052] The quality of the material of the configuration of the above through holes 9, size, and the pewter ball 7 is explained below, and also it is applicable to an example.

[0053] In addition, in order not to connect the pewter ball 7 to INTAPOZA 1 of a semiconductor device located in the maximum upper case of a laminated structure from the bottom, as shown in drawing 9, there is no need of forming a through hole 9, and it serves as the part cost reduction. Moreover, when

INTAPOZA 1 which formed the through hole 9 is used also for the semiconductor device located in the maximum upper case, electric contact to the semiconductor device by which the laminating was carried out through this through hole 9 can be performed, and the semiconductor device trial of a continuity check etc. can be performed.

[0054] Drawing 10 is the sectional view showing the configuration at the time of making [more] the number of electrodes of the semiconductor device of an upper case than the number of electrodes of the semiconductor device of the lower berth in the laminated structure of the semiconductor device by the gestalt of this operation. In drawing 10, the same sign is given to the same components as the component part shown in drawing 6, and the explanation is omitted.

[0055] In drawing 10, since an upper semiconductor device has many electrodes, it made INTAPOZA 1A of an upper semiconductor device larger than INTAPOZA 1 of a lower semiconductor device, and has prepared ball pad 8A other than the ball pad 8. And ball pad 8A which is not electrically connected with a lower semiconductor device is arranged in the periphery section, and pewter ball 7A linked to this ball pad 8A is formed more greatly than the pewter ball 7. That is, the height of pewter ball 7A is made into the height and EQC to the pewter ball 7 of a lower semiconductor device. Thereby, the electrode of an upper semiconductor device can be electrically connected to other substrates, such as a mother board, without going via the electrode of a lower semiconductor device. Thus, the laminating of the semiconductor device of the different number of electrodes can be carried out by changing the magnitude of a pewter ball. According to the configuration of such a semiconductor device, that of an upper semiconductor device and a lower semiconductor device can be made into the thing of different size, and it becomes possible to carry out the laminating of the semiconductor device of various classes.

[0056] Drawing 11 is the sectional view in the semiconductor device by the gestalt of this operation showing the modification of the ball pad in a through hole. As for ball pad 8B shown in drawing 11, the field where the pewter ball 7 of an upper semiconductor device is connected is formed in the convex configuration. Thus, by making a ball pad into a convex configuration, a touch area with the pewter ball 7 increases, and reliable connection can be attained.

[0057] In addition, in the laminated structure of the semiconductor device by the above-mentioned example, the semiconductor chip of the semiconductor device by which a laminating is carried out may be a chip of the same kind, and can also be considered as a chip of a different kind. Moreover, although the configuration which carried out the laminating of the two semiconductor devices was explained, the laminating of the three or more semiconductor devices can also be carried out by putting by the same approach.

[0058] Moreover, various modifications in the gestalt of this operation are explained below, and also they are applicable to an example.

[0059] Next, the 2nd example of this invention is explained. Drawing 12 and drawing 13 are the sectional views of the semiconductor device by the 2nd example of this invention. Drawing 12 makes wirebonding connection of the semiconductor chip, and drawing 13 carries out flip chip mounting of the semiconductor chip. In drawing 12 and drawing 13, the same sign is given to the same components as the component part shown in drawing 3 and drawing 4. The component part of the semiconductor device by the 2nd example of this invention is fundamentally [as the component part of the semiconductor device by the 1st above-mentioned example.] the same, and explains only the difference here.

[0060] In the semiconductor device by the 1st above-mentioned example, the pewter ball 7 is formed in the semiconductor chip loading side, i.e., wiring side, side of INTAPOZA 1. And the closure height of closure resin is set up lower than the height of the pewter ball 7. That is, a semiconductor chip 3 and the pewter ball 7 are carried in the same field side of INTAPOZA 1, and the through hole 9 is established in the field of the opposite side of the semiconductor chip loading side of INTAPOZA 1.

[0061] On the other hand, in the semiconductor device by the 2nd example, the pewter ball 7 is formed in the field of the opposite side of the semiconductor chip loading side of in TAPOZA 1. That is, the

pewter ball 7 is formed to the field of the ball pad 8 exposed in the through hole 9. Therefore, the pewter ball 7 is formed so that it may project in the opposite side of the field in which the semiconductor chip 3 (closure resin 2) was formed.

[0062] In such a configuration, the closure height (height from the front face of the ball pad 8) of closure resin 2 is set up lower than the height (height from the field of the opposite side of the chip component side of INTAPOZA 1) of the pewter ball 7. That is, when the laminating of the semiconductor device by the gestalt of this operation is carried out so that it may mention later since the height of the pewter ball 7 is higher than closure height, the closure part by closure resin 2 is held in the space formed between INTAPOZA of the semiconductor device of a top and the bottom.

[0063] In addition, although explanation of the semiconductor device by the gestalt of this above-mentioned operation illustrated and explained the example which connected a semiconductor chip 3 and INTAPOZA 1 by wirebonding and flip chip mounting, INTAPOZA 1 may be used as a tape substrate and a semiconductor chip 3 and INTAPOZA 1 may be connected by TAB (tape auto METEDO bonding) connection.

[0064] Next, the structure which carried out the laminating of two or more semiconductor devices by the 2nd example of above-mentioned this invention, and was connected is explained. Drawing 14 is the sectional view showing the example which carried out the two-piece laminating of the semiconductor device which connected the semiconductor chip to INTAPOZA by wirebonding as shown in drawing 12, and was connected. Drawing 15 is the sectional view showing the example which carried out the two-piece laminating of the semiconductor device which connected the semiconductor chip to INTAPOZA by flip chip mounting as shown in drawing 13, and was connected. In drawing 14 and drawing 15, the same sign is given to the same components as the component part shown in drawing 12 and drawing 13, respectively, and the explanation is omitted.

[0065] As shown in drawing 14 and drawing 15, the pewter ball 7 prepared in the upper semiconductor device is connected to the ball pad 8 with which a lower semiconductor device corresponds through the through hole 9 of a lower semiconductor device. Since the height of the pewter ball 7 is higher than the closure height of closure resin 2, spacing between INTAPOZA 1 of an upper semiconductor device and a lower semiconductor device is maintained with the pewter ball 7 more than the closure height of closure resin 2. Therefore, a semiconductor chip 3 is held in the space formed between INTAPOZA 1 of an upper semiconductor device, and INTAPOZA 1 of a lower semiconductor device.

[0066] What is necessary is just to fuse the pewter ball 7 of an upper semiconductor device, after only piling up semiconductor devices, and to connect with the ball pad of a lower semiconductor device in the laminated structure of such a semiconductor device, in order to carry out laminating immobilization of the semiconductor device. Therefore, a laminated structure can be formed by the very easy activity.

[0067] In addition, in the laminated structure of the semiconductor device by the above-mentioned example, the semiconductor chip of the semiconductor device by which a laminating is carried out may be a chip of the same kind, and can also be considered as a chip of a different kind. Moreover, although the configuration which carried out the laminating of the two semiconductor devices was explained, the laminating of the three or more semiconductor devices can also be carried out by putting one by one by the same approach.

[0068] Next, the 3rd example of this invention is explained. Drawing 16 and drawing 17 are the sectional views showing the semiconductor device by the 3rd example of this invention. In drawing 16 and drawing 17, the same sign is given to the same components as the component part shown in drawing 3 and drawing 4, and the explanation is omitted. Fundamental structure is the same as the semiconductor device according [the semiconductor device by the gestalt of this operation] to the 1st above-mentioned example, and difference is that the laminating of the semiconductor chip 3A is carried out, and the resin seal is carried out in one on a semiconductor chip 3.

[0069] In drawing 16, the laminating of the semiconductor chip 3A smaller than a semiconductor chip 3 is carried out to the semiconductor chip 3 through shock absorbing material 13. Both are connected to

the bonding pad 5 of INTAPOZA 1 by the Au wire 4, and the closure of the semiconductor chips 3 and 3A is carried out in one with closure resin 2. The closure height of closure resin 2 is set up like the semiconductor device by the 1st above-mentioned example lower than the height of pewter ball 7B. Therefore, the semiconductor device by the gestalt of this operation as well as the semiconductor device by the 1st above-mentioned example can carry out the laminating of two or more semiconductor devices, and can be connected.

[0070] The semiconductor device shown in drawing 17 carries out flip chip mounting of the semiconductor chip 3 in the semiconductor device shown in drawing 16 , and other configurations are the same as the semiconductor device shown in drawing 16 .

[0071] Moreover, although illustration is not carried out, TAB connection of the semiconductor device 3 can also be made. Moreover, although the resin seal of the two semiconductor chips is carried out in piles in drawing 16 and drawing 17 , if the closure height of a semiconductor chip can be made lower than the height of pewter ball 7B, it is good also as a configuration which carried out the laminating of the three or more semiconductor devices, carried in INTAPOZA 1 and carried out the resin seal in one.

[0072] Next, the 4th example of this invention is explained. Drawing 18 is the sectional view showing the semiconductor device by the 4th example of this invention. In drawing 18 , the same sign is given to the same components as the component part shown in drawing 12 , and the explanation is omitted.

Fundamental structure is the same as the semiconductor device according [the semiconductor device by the gestalt of this operation] to the 2nd above-mentioned example, and difference is that the laminating of the semiconductor chip 3A is carried out, and the resin seal is carried out in one on a semiconductor chip 3.

[0073] In drawing 18 , the laminating of the semiconductor chip 3A smaller than a semiconductor chip 3 is carried out to the semiconductor chip 3 through shock absorbing material 13. Both are connected to the bonding pad 5 of INTAPOZA 1 by the Au wire 4, and the closure of the semiconductor chips 3 and 3A is carried out in one with closure resin 2. The closure height of closure resin 2 is set up like the semiconductor device by the 2nd above-mentioned example lower than the height of pewter ball 7B. Therefore, the semiconductor device by the gestalt of this operation as well as the semiconductor device by the 1st above-mentioned example can carry out the laminating of two or more semiconductor devices, and can be connected.

[0074] Although the semiconductor device shown in drawing 18 carries out wirebonding of the semiconductor chips 3 and 3A, a semiconductor chip 3 can also be mounted in INTAPOZA 1 by flip chip mounting, and may be mounted by TAB connection. Moreover, although the resin seal of the two semiconductor chips is carried out in piles in drawing 18 , if closure height can be made lower than the height of pewter ball 7B, it is good also as a configuration which carried out the laminating of the three or more semiconductor devices, carried in INTAPOZA 1 and carried out the resin seal in one.

[0075] Moreover, although pewter ball 7B higher than the closure height of closure resin 2 is prepared in the semiconductor device shown in drawing 18 , since the pewter ball of the semiconductor device of the bottom is only for connecting with a substrate when carrying out the laminating of two or more semiconductor devices and connecting, there is no need of considering as a large pewter ball.

[0076] Next, the 5th example of this invention is explained. Drawing 19 is the sectional view of the semiconductor device by the 5th example of this invention. In drawing 19 , the same sign is given to the same components as the component part shown in drawing 3 , and the explanation is omitted.

[0077] With the gestalt of this operation, a double-sided wiring substrate is used as INTAPOZA 21. Therefore, a bonding pad 5 and the ball pad 8 are formed in both sides of INTAPOZA 21, a semiconductor chip 3 is carried in both sides of INTAPOZA 21, and a resin seal is carried out. The ball pad 8 or bonding pad 5 of each other prepared in both sides of INTAPOZA 21 is electrically connected by the VIA hole 22. The VIA hole 22 is a hole which penetrates the substrate of INTAPOZA 21, and plating is performed to an inside and it connects the electrode pad of both sides of INTAPOZA electrically. Moreover, pewter ball 7C is prepared in either of the double-sided ball pads 8.

[0078] The height of pewter ball 7C can be carried out to more than the two times of the closure height of closure resin 2, can carry out the laminating of two or more semiconductor devices, and can connect them. That is, when the laminating of the semiconductor device by the gestalt of this operation is carried out and it connects, pewter ball 7C of a semiconductor device located in the bottom is connected to the ball pad 8 of a lower semiconductor device. Between INTABOZA 21 of an upper semiconductor device, and INTAPOZA 21 of a lower semiconductor device, the closure resin 2 of the upper semiconductor chip 3 and the closure resin 2 of the lower semiconductor chip 3 are held. Therefore, it is necessary to carry out the height of pewter ball 7C to more than the two times of the closure height of closure resin 2.

[0079] As it is not necessary to prepare big pewter ball 7C as mentioned above in the semiconductor device located in the bottom here among two or more semiconductor devices by which the laminating was carried out and is shown in drawing 20, what is necessary is just the pewter ball 7 carried out to more than the height of the closure resin 2 which closes the lower semiconductor chip 3.

[0080] In addition, the semiconductor device by the gestalt of this operation is also good considering a semiconductor chip 3 as well as the above-mentioned example as not wirebonding but flip chip mounting, or TAB connection.

[0081] Drawing 21 (a) and (b) are the mimetic diagrams showing the condition of having carried out the laminating of the modification of the semiconductor device shown in drawing 19 and drawing 20. In this modification, the height of closure resin 2 is made low except the part which closes a bonding wire (Au wire 4). And it is made for the part to which the closure of the bonding wire of the semiconductor device of a top and the bottom was carried out not to lap by shifting relatively the location of the semiconductor chip 3 of an upper semiconductor device, and the location of the semiconductor chip 2 of a lower semiconductor device. That is, it is the part to which the part which closed the bonding wire becomes the highest in the part of closure resin 2, and by shifting this part of each other and arranging it, spacing of INTAPOZA 21 of an upper semiconductor device and INTAPOZA 21 of a lower semiconductor device can be narrowed, and the height of the whole laminated structure can be made small. In addition, semiconductor devices can also be positioned by fitting the part which closed the bonding wire of one semiconductor device into the part which closed parts other than the bonding wire of the semiconductor device of another side.

[0082] Next, the manufacture approach of the semiconductor device by the 5th example of this invention shown in drawing 19 and drawing 20 is explained.

[0083] Drawing 22 is the mimetic diagram having shown the process which carries a semiconductor chip in INTAPOZA 21. In the 5th example of this invention, a semiconductor chip 3-1 and 3-2 are carried in the both sides of INTAPOZA 21. In case the upper semiconductor chip 3-1 is carried in the field of the opposite side of INTAPOZA 21 after following, for example, carrying the lower semiconductor chip 3-2, INTAPOZA 21 is laid in a fixture 30 and performed. Since the semiconductor chip 3-2 is already carried in the field of the INTAPOZA 21 bottom, the crevice in which a semiconductor chip 3-2 is held is established in a fixture 30. However, when it is going to carry out dice attachment of the semiconductor chip 3-1 as [this] at INTAPOZA 21, INTAPOZA 21 bends according to the load in the case of dice attachment, and there is a possibility that the lower semiconductor chip 3-2 may be contacted and damaged on the base of the crevice of a fixture 30. In order to avoid such a problem, the buffer member 31 is formed in the bottom of a semiconductor chip 3-2, a semiconductor chip 3-2 is supported, and it is made for *****-***** 21 not to bend according to the load in the case of dice attachment of the upper semiconductor chip 3-1. As a buffer member 31, the spring material which has thermal resistance is suitable. As such an ingredient, NBR, silicon system rubber, or fluorine system rubber is mentioned.

[0084] Drawing 23 is the mimetic diagram showing the process at the time of performing wirebonding in the semiconductor device 3-1 of INTAPOZA 21 with which semiconductor chip 3-1 ** 3-2 was carried. In case wirebonding of the semiconductor chip 3-1 of the opposite side is carried out after carrying a semiconductor chip 3-2 in INTAPOZA 21 and performing wirebonding, the load of a wire bonder joins the

connection to INTAPOZA 21 (bonding pad). Since INTAPOZA 21 is formed with a very thin substrate, if WAYABONDINGU is performed where the periphery section of INTAPOZA 21 is supported, INTAPOZA 21 will bend (it will sink in the bottom), and it has a possibility that wirebonding cannot be performed appropriately. In order to avoid such a problem, the bonding wire connection of the upper semiconductor chip 3-1 and the lower semiconductor chip 3-2 is shifted. More specifically, the bonding location of the lower semiconductor chip 3-2 is carried out inside the bonding location of the upper semiconductor chip 3-1. In case wirebonding of the upper semiconductor chip 3-1 is carried out by doing in this way, as shown in drawing 23, a part for the bonding area of INTAPOZA 21 can be supported on the top face of a fixture 30, and a fixture 30 can receive the load of a wire bonder. Therefore, the problem that INTAPOZA 21 bends and wirebonding cannot be appropriately performed at the time of wirebonding of the upper semiconductor chip 3-1 is avoidable.

[0085] Drawing 24 is the mimetic diagram showing how to avoid the problem by bending of INTAPOZA 21 without using shock absorbing material 31. Drawing 24 (a) is the side elevation of the INTAPOZATO semiconductor chip carried in the fixture, and drawing 24 (b) is the top view seen from the upper part of the half-** chip 3-1. The press member 32 is forced on the part which does not perform wirebonding of INTAPOZA 21, and INTAPOZA 21 will be beforehand sagged to some extent by the approach shown in drawing 24. Even if the load by the wire bonder is added to INTAPOZA 21 by carrying out wirebonding in the condition that INTAPOZA 21 has tension to some extent where INTAPOZA 21 is sagged, INTAPOZA 21 does not bend any more and can perform wirebonding normally.

[0086] Moreover, it is good also as holding, where INTAPOZA 21 is inserted between the press member 32 and supporter material by preparing supporter material in the part bottom which the press member 32 of INTAPOZA 21 contacts.

[0087] Next, the process which closes the semiconductor device by the 5th example of this invention is explained. Here, two or more semiconductor devices are collectively formed on INTAPOZA 21, and the case where the resin seal of two or more semiconductor devices is carried out is explained. Drawing 25 is the sectional view of the mold metal mold for resin seals, and drawing 26 is the top view showing the interior of the mold metal mold for resin seals.

[0088] The closure process shown in drawing 25 is for carrying out the resin seal of the three semiconductor devices collectively, and the semiconductor chip of six upper and lower sides in all is carried in INTAPOZA 21. INTAPOZA 21 has the magnitude for three semiconductor devices, and it also has the part which extends further in the runner 34 direction of the mold metal mold 33A and 33B. For this reason, in order to introduce resin into both sides of INTAPOZA 21, a runner and the gate must be established in both mold metal mold. Then, as shown in drawing 25, the gate 34 is established only in punch 33A, opening 21a is prepared in the part of INTAPOZA 21 located near Gates 35A and 35B, and resin is made to be led to both an INTAPOZA 21 top and the bottom. That is, some resin poured in from the INTAPOZA 21 bottom is introduced under INTAPOZA 21 through opening 21a of INTAPOZA 21 within a runner 34. The resin introduced into INTAPOZA a top and the bottom is poured in inside the mold metal mold 33A and 33B at an equal rate through each gates 35A and 33B. Therefore, the resin seal of the semiconductor chip carried in both sides of INTAPOZA 21 by the easy configuration can be carried out to coincidence.

[0089] Moreover, as shown in drawing 25, in order to carry out the resin seal of two or more semiconductor devices to coincidence, the magnitude of INTAPOZA 21 becomes large and there is a possibility that INTAPOZA 21 may bend in mold metal mold 33A and 33B. In order to prevent this, the substrate bending prevention pin 36 is formed in the mold metal mold 33A and 33B shown in drawing 25. The substrate bending prevention pin 36 is formed so that it may project from each of the mold metal mold 33A and 33B and INTAPOZA 21 may be contacted. Therefore, INTAPOZA 21 is supported by the substrate bending prevention pin 36, and the bending is prevented. In addition, the part shown with a sign 23 in drawing 26 is a part to which it bends and the prevention pin 36 contacts INTAPOZA 21.

[0090] When especially spacing of a ***** semiconductor chip is narrow, it is desirable to bend in

order to avoid contact to a bonding wire, and to attach a taper to the prevention pin 36. Moreover, it is not necessary to necessarily prepare a bending prevention pin in both punch 33A and female mold 33B, and preparing in female mold 33B can also prevent bending by the weight of INTAPOZA.

[0091] A unnecessary remaining gate is removed by the KATINGU blade and the semiconductor device formed of the above processes is divided into each semiconductor device. Cutting is performed at such a cutting process, boiling the adhesive tape which can exfoliate easily [UV tape etc.], and fixing. However, since the semiconductor chip is carried in both sides of INTAPOZA 21, UV tape cannot stick only to the closure resin section, and cannot be stuck on INTAPOZA 21. Then, the part equivalent to the closure resin of the UV tape 37 is removed, and it is made for the UV tape 37 to stick only to INTAPOZA 21, as shown in drawing 27 . Thereby, INTAPOZA 21 can be fixed on the UV tape 37, and stable cutting can be performed.

[0092] Or punching and laser beam cutting may remove beforehand INTAPOZA 21 other than the part by which the resin seal was carried out, and the configuration stuck on closure resin is sufficient as cutting only closure resin, then the UV tape 37. In this case, a break may be beforehand put into the part which should remove INTAPOZA 21.

[0093] Drawing 28 is the mimetic diagram showing the condition of having carried the semiconductor device by the 5th example of this invention in the substrate. As shown in drawing 28 , a semiconductor device can be carried in the condition of having been stabilized in the substrate 38, by forming shock absorbing material 39 between lower closure resin 2 and the substrates 38, such as a mother board. Shock absorbing material 38 is good also as having the function which buffers the external force which joins a semiconductor device, the function which fixes a semiconductor device to a substrate 38, or the function which emits the heat generated with a semiconductor device to a substrate.

[0094] In addition, without restricting to the semiconductor device by the 5th example of this invention, the shock absorbing material 39 shown in drawing 28 can be applied, if it is the semiconductor device with which the closure of the semiconductor chip was carried out to the INTAPOZA bottom.

[0095] Drawing 29 shows the example which prepared the resist (insulating matter) in the boundary part of the resin seal section. Resist 10A is prepared only in the part which resist 10A does not prepare in the part in which the semiconductor chip of INTAPOZA 21 is carried, but forms the pewter ball 7. Thereby, resist 10A will exist in the joint of mold metal mold, and generating of resin weld flash is controlled by the elasticity of resist 10A. Moreover, it can be made hard to reinforce INTAPOZA 21 by resist 10A, and to bend. Since resist 10A is not prepared in the semiconductor chip loading section, the height of the thickness part semiconductor device of resist 10A can be decreased.

[0096] Although drawing 29 shows the semiconductor device by the 5th example of this invention, it is not restricted to this but, in addition to this, can apply the configuration of resist 10A also to the semiconductor device by the example.

[0097] Drawing 30 shows the example which used the resist for positioning of a semiconductor device. In drawing 30 , resist 10B is not prepared in the part which carries out a resin seal, but when the laminating of the semiconductor device is carried out, it is constituted so that the closure resin 2 of an upper semiconductor device may be positioned by resist 10B of a lower semiconductor device.

[0098] Drawing 30 thru/or drawing 32 are drawings for explaining the laminated structure which combined the semiconductor device by each above-mentioned example. Drawing 31 shows the case where the number of the semiconductor chips contained in a laminated structure is two, drawing 32 shows the case where the number of the semiconductor chips contained in a laminated structure is three, and drawing 33 shows the case where the number of the semiconductor chips contained in a laminated structure is four. In each drawing, the number of a semiconductor chip is displayed on the column of most left-hand side, and the mimetic diagram of a laminated structure is shown in the column whose number is two. The number of INTAPOZA contained in a laminated structure is shown in the 3rd column. The gestalt of an external terminal is shown in the 4th and the 5th column. That is, when it mounts the semiconductor device made into the laminated structure in a substrate, the usable mounting

approach is shown. The 4th column displays O mark, when BGA (ball grid array) is usable, and when it cannot be used, it shows x mark. Moreover, the 5th column displays O mark, when LGA (land grid array) is usable, and when it cannot be used, it shows x mark.

[0099] Moreover, the usable approach is shown in connection of a semiconductor chip at the 6th thru/or the 8th column. That is, in the 6th column, when it can connect by wirebonding, O mark is displayed for a semiconductor chip, and when it cannot connect, x mark is displayed. Moreover, in the 7th column, when flip chip mounting of a semiconductor chip is possible, O mark is displayed, and when flip mounting is impossible, x mark is displayed. Furthermore, in the 8th column, when TAB connection of a semiconductor chip is possible, O mark is displayed, and when not making TAB connection, x mark is displayed.

[0100] In the 9th and the 10th column, the class of semiconductor chip in which combination is possible is specified. That is, in the 9th column, for semiconductor chips of the same kind, when a laminating is possible, O mark is displayed, and when chips of the same kind cannot carry out a laminating, x mark is displayed. In the 10th column, for different-species chips, when a laminating is possible, O mark is displayed, and when the chips of different species cannot carry out a laminating, x mark is displayed.

[0101] Then, the concrete laminating approach which carries out the laminating of the semiconductor device which has the above-mentioned configuration is explained. In addition, in the following explanation, the example which carries out the laminating of the semiconductor device 40 previously explained using drawing 3 is explained.

[0102] Drawing 34 shows the laminating equipment of the semiconductor device used in case the laminating of the semiconductor device 40 is carried out. If the profile of this laminating equipment is carried out, it is constituted by the package supply table 41, the stack head 42, FURAKKU feed zone 43A, imprint head 44A, and camera unit 45 grade.

[0103] The package supply table 41 is a table on which the semiconductor device 40 manufactured by the above mentioned manufacture approach is laid temporarily. In this example, each semiconductor device 40 is laid on the package supply table 41 so that the pewter ball 7 may serve as a top face.

[0104] In addition, the manufactured semiconductor device 40 is conveyed after even this laminating equipment has been contained by the tray for conveyance. Under the present circumstances, for the reasons of protection of the pewter ball 7 etc., a semiconductor device 40 turns the pewter ball 7 down, and is contained by the tray for conveyance. Therefore, the semiconductor device 40 which was picked out from the tray for conveyance in the case of this example is laid in the package supply table 41, after the upper and lower sides are reversed.

[0105] The stack head 42 is considered as the configuration movable in three dimensions by the migration equipments (for example, robot etc.) which are not illustrated. Moreover, the adsorption head section 47 connected to the aspirator is formed in the point, and it considers as the configuration which can be held by attracting a semiconductor device 40.

[0106] FURAKKU feed zone 43A applies FURAKKU 50 to imprint head 44A mentioned later. This flux feed zone 43A is made into the shape of a cylindrical shape, and that top face is considered as the configuration with high flatness. After the top face of this FURAKKU feed zone 43A is loaded with flux 50, let it be predetermined thickness using a squeegee 48. The thickness of the flux 50 at this time can be set as the thickness of arbitration by adjusting the path clearance between a squeegee 48 and FURAKKU feed zone 43A.

[0107] Imprint head 44A is considered as the configuration movable in three dimensions by the migration equipments (for example, robot etc.) which are not illustrated. And by being pushed against the flux 50 by which the point (lower limit section in drawing) of imprint head 44A was arranged in FURAKKU feed zone 43A with this migration, flux 50 is constituted so that it may move to imprint head 44A from FURAKKU feed zone 43A.

[0108] The camera unit 45 is considered as the configuration with the up camera 51 which picturizes the upper part, and the lower camera 52 which picturizes the lower part. In case this camera unit 45

carries out the laminating of two or more semiconductor devices 40 so that it may mention later, it is used for positioning each semiconductor device 40.

[0109] In addition, this example shall explain the example which carries out the laminating of the two semiconductor devices. Moreover, when a laminating is carried out, sign 40A shall show the semiconductor device located in the lower part, and sign 40B shall show the semiconductor device located in the upper part. Furthermore, a sign 40 shall be used when a semiconductor device is shown irrespective of the upper part and the lower part.

[0110] Since the camera unit 45 is considered as the configuration which formed the up camera 51 and the lower camera 52 in one, when a laminating is carried out, it can picturize to coincidence semiconductor device 40A located in the lower part, and semiconductor device 40B located in the upper part, so that it may be illustrated. Therefore, compared with the configuration which has formed only one camera, it becomes unnecessary to be able to reverse a camera and the increase in efficiency of positioning processing can be attained.

[0111] Next, the laminating approach of the semiconductor devices 40A and 40B performed using the laminating equipment considered as the above-mentioned configuration is explained.

[0112] In order to carry out the laminating of the semiconductor devices 40A and 40B, carrier stage 46A is equipped with semiconductor device 40A first located in the bottom. Carrier stage 46A becomes a pedestal at the time of carrying out the laminating of each semiconductor devices 40A and 40B. Drawing 35 shows the condition of having equipped carrier stage 46A with semiconductor device 40A.

[0113] As shown in this drawing, wearing slot 49A for positioning semiconductor device 40A is formed in carrier stage 46A. The stack head 42 conveys semiconductor device 40A located in the bottom from the package supply table 41, and equips with it in wearing slot 49A of carrier stage 46A.

[0114] As described above, each semiconductor device 40 is laid in the package supply table 41 so that the pewter ball 7 may be located in the upper part. Moreover, the stack head 42 performs conveyance processing by adsorbing the front face of the closure resin 2 of a semiconductor device 40. Therefore, in the condition that carrier stage 46A was equipped, semiconductor device 40A is the posture in which the pewter ball 7 is located in the upper part.

[0115] Processing which applies flux 50 to imprint head 44A is carried out after conveyance processing of this semiconductor device 40A (it is also possible to carry out to conveyance processing and coincidence). In order to apply flux 50 to imprint head 44A, as shown in drawing 36, imprint head 44A is forced on flux feed zone 43A applied to flux 50. As described above, flux 50 is arranged in flux feed zone 43A by predetermined thickness. Therefore, flux 50 adheres to imprint head 44A by forcing imprint head 44A on flux feed zone 43A.

[0116] Thus, imprint head 44A in which flux 50 was arranged moves to carrier stage 46A. Then, imprint head 44A is forced on semiconductor device 40A with which carrier stage 46A is equipped. As described above, carrier stage 46A is equipped with semiconductor device 40A with the posture in which the pewter ball 7 is located in the upper part. Therefore, the flux 50 currently arranged in imprint head 44A is imprinted by the pewter ball 7 by forcing imprint head 44A on semiconductor device 40A.

[0117] Under the present circumstances, the flux 50 arranged in imprint head 44A is imprinted by only the pewter ball 7, and it consists of this examples so that it may not adhere to other parts which constitute semiconductor device 40A of closure resin 2 grade. Hereafter, this reason is explained.

[0118] Drawing 38 is drawing expanding and showing the base (field forced on flux feed zone 43A and semiconductor device 40A) of imprint head 44A. As shown in this drawing, the crevice 53 is formed in the base of imprint head 44A, and fluxing section 54A which this projected to the crevice 53 relatively is formed.

[0119] The arrangement location of this fluxing section 54A is constituted so that it may correspond with the arrangement location of the pewter ball 7 of semiconductor device 40A. Moreover, the arrangement location of a crevice 53 is constituted so that abbreviation correspondence may be carried out with the arrangement location of the closure resin 2 of semiconductor device 40A. Therefore, when

imprint head 44A considered as the above-mentioned configuration is forced on flux feed zone 43A, flux 50 adheres only to fluxing section 54A, and does not adhere to a crevice 53.

[0120] When this forces on semiconductor device 40A imprint head 44A in which flux 50 was arranged, flux 50 is imprinted by only the pewter ball 7 as shown in drawing 40. Moreover, when imprint head 44A is forced on semiconductor device 40A, since closure resin 2 will be in the condition of countering with the crevice 53 of imprint head 44A, the top face and crevice 53 of closure resin 2 will be in the condition of having estranged greatly. For this reason, it can prevent certainly that flux 50 is accidentally applied to closure resin 2.

[0121] After FURAKKU spreading, reflow processing which joins the ball pad 8 of semiconductor device 40B to the pewter ball 7 of the laminating processing which carries out the laminating of the semiconductor devices 40A and 40B, and semiconductor device 40A is performed so that it may mention later. Under the present circumstances, when flux 50 exists in addition to the arrangement location of the pewter ball 7, there is a possibility that the conductive metals (pewter etc.) which constitute flux 50 may fuse, and a short circuit may arise between adjoining pewter balls or between ball pads.

[0122] However, by considering as the configuration flux 50 is imprinted by only whose pewter ball 7 like this example, it can prevent connecting too hastily between adjoining pewter balls and between adjoining ball pads, and improvement in dependability can be aimed at.

[0123] In order to prevent connecting too hastily between adjoining pewter balls or between adjoining ball pads on the other hand, it is necessary to imprint the flux 50 of optimum dose on the pewter ball 7. This is because there is a possibility that a short circuit may occur between the pewter balls which adjoin by the excessive flux 50, or between adjoining ball pads when the flux 50 more than an initial complement is imprinted by the pewter ball 7.

[0124] Moreover, it is because there is a possibility of an oxide film being formed in the front face of the pewter ball 7, and generating a faulty connection between the pewter ball 7 and the ball pad 8 at the time of a laminating when there are few amounts of the flux 50 imprinted (there is a function to prevent scaling of the pewter ball 7 at the time of heating in flux 50).

[0125] It is possible to select suitably formation of Lux spreading section 54A prepared in imprint head 44A other than the approach of controlling the thickness of the flux 50 applied to flux feed zone 43A as an approach of imprinting the flux 50 of optimum dose on the pewter ball 7. This is explained using drawing 39.

[0126] Drawing 39 (A) expands and shows fluxing section 54 of imprint head 44A shown in drawing 38 A. As shown in this drawing, in fluxing section 54A made into the flat-surface configuration, there are few amounts of the flux 50 imprinted from flux feed zone 43A.

[0127] However, the amount of the flux 50 adhering to the fluxing sections 54A-54C is controllable by an inclined plane's constituting fluxing section 54B, as shown in drawing 39 (B), and constituting fluxing section 54B by the concave spherical surface, as shown in drawing 39 (B). This becomes possible to imprint the flux 50 of optimum dose on the pewter ball 7.

[0128] After the processing which imprints flux 50 on the pewter ball 7 as mentioned above is completed, while the stack head 42 moves onto the package supply table 41 again, it lower-**, and as shown in drawing 41, semiconductor device 40B which carries out a laminating on semiconductor device 40A is adsorbed. With actuation of this stack head 42, the camera knitting 45 moves to the upper part of the carrier stage 46. Under the present circumstances, the lower camera 52 moves the camera unit 45 to semiconductor device 40A with which carrier stage 46A was equipped, and the location which counters.

[0129] On the other hand, the stack head 42 which adsorbed semiconductor device 40B conveys semiconductor device 40B to the up camera 51 of the camera unit 45, and the location which counters. This becomes the configuration that insert the camera unit 45 in the middle, semiconductor device 40A is located in the lower part, and semiconductor device 40B is located in the upper part, as shown in drawing 42. And the up camera 51 performs location recognition of the ball pad 8 of semiconductor

device 40B, and the lower camera 52 performs location recognition of the pewter ball 7 of semiconductor device 40A. Thereby, location recognition of each semiconductor devices 40A and 40B is performed.

[0130] The laminating of the semiconductor device 40B is carried out on semiconductor device 40A so that the stack head 42 of the location of the ball pad 8 of semiconductor device 40B and the pewter ball 7 of semiconductor device 40A may correspond based on this recognition result continuously, if location recognition processing of each semiconductor devices 40A and 40B is performed as mentioned above. Thereby, as shown in drawing 44, semiconductor devices 40A and 40B will be in the condition that the laminating was carried out. Under the present circumstances, as mentioned above, since flux 50 is the configuration imprinted by only the upper part of the pewter ball 7, flux 50 does not exist between the closure resin 2 of semiconductor device 40A located in the lower part, and INTAPOZA 1 of semiconductor device 40B located in the upper part.

[0131] The condition which shows in drawing 44 is the configuration by which it was tacking carried out by the flux 50 to which each semiconductor devices 40A and 40B intervene between the pewter ball 7 of semiconductor device 40A located in the lower part, and the ball pad 8 of semiconductor device 40B located in the upper part. For this reason, where a laminating is carried out, semiconductor devices 40A and 40B put carrier stage 46A into a reflow furnace, and join the pewter ball 7 by solder to the ball pad 8. Thereby, it is fixed and each semiconductor devices 40A and 40B serve as a configuration by which the laminating was carried out completely.

[0132] In addition, although this example explained the configuration which carries out the laminating of the two semiconductor devices 40A and 40B, when carrying out the laminating of the three or more semiconductor devices 40, the laminated structure of the number of arbitration can be realized by repeating and carrying out the above-mentioned processing.

[0133] Drawing 45 – drawing 48 are drawings for explaining the modification of the above-mentioned laminating approach.

[0134] In case the modification shown in drawing 45 imprints flux 50 (not shown to drawing 45) to the pewter ball 7, it is made to perform plastic surgery processing of the pewter ball 7 to coincidence. That is, there is variation in the magnitude of the pewter ball 7, and although the pewter ball 7 of a large diameter is joined when this variation is large, and the laminating of the semiconductor devices 40A and 40B is carried out, the pewter ball 7 of a small diameter has a possibility that junction may be impossible.

[0135] For this reason, in this modification, it is characterized by considering as the configuration which performs leveling of the pewter ball 7 using imprint head 44D. For this reason, in this modification, hard stainless steel material is used as the quality of the material of imprint head 44D. And imprint head 44D is made to lower **, maintaining a level condition at the time of imprint processing of flux 50, as shown in drawing 45 (A) and (B), and the pewter ball 7 is pressurized.

[0136] Thereby, as shown in drawing 45 (C), flat falsework 7A is formed in the top face of the pewter ball 7. Thus, by performing leveling of the pewter ball 7 using imprint head 44D, the height of the pewter ball 7 can be equalized and generating of the faulty connection at the time of a laminating can be controlled. Moreover, since flat falsework 7A is formed in the upper limit section of the pewter ball 7, the imprint nature of flux 50 also improves. Furthermore, the above-mentioned effectiveness can be realized, without increasing the process of laminating processing, in order to perform leveling processing to imprint processing and coincidence of flux 50.

[0137] In case the modification shown in drawing 46 carries out the laminating of the semiconductor devices 40A and 40B, it is made to perform positioning of each semiconductor devices 40A and 40B using the positioning fixture 55. The positioning fixture 55 is constituted by the positioning members 55A–55C.

[0138] When each of these positioning members 55A–55C are accumulated, they are considered as the configuration with which a mutual location is positioned in a predetermined location by the gage pin and tooling holes which are not illustrated. Tooling-holes 59A contained where positioning member 55A

positions semiconductor device 40A and semiconductor device 40A is positioned inside is formed. [0139] Moreover, tooling-holes 59B contained where positioning member 55B positions semiconductor device 40B and semiconductor device 40B is positioned inside is formed. Furthermore, positioning member 55C is arranged in the topmost part, and the opening 56 which fluxing section 54A of imprint head 44E inserts is formed.

[0140] Therefore, by equipping the positioning fixture 55 with semiconductor devices 40A and 40B, positioning processing of each semiconductor devices 40A and 40B can be performed, and it can position easily. Therefore, when semiconductor device 40A and 40B shift, it can prevent that flux 50 adheres in addition to pewter ball 7.

[0141] Moreover, the modification shown in drawing 47 fixes the positioning fixture 55 explained using drawing 46 by the clip member 57, and is characterized by performing reflow processing in this condition. It is positioned by high degree of accuracy by using the positioning fixture 55 by considering as this configuration, and reflow processing of each semiconductor devices 40A and 40B can be carried out, maintaining the condition of having been tacking carried out by flux 50. Thereby, even if flux 50 will be in a melting condition with heating, the laminating of each semiconductor devices 40A and 40B can be carried out with a high location precision. In addition, the approach of the overheating processing which joins the ball pad 8 to the pewter ball 7 is not limited to reflow processing, and can also use the block heater method, laser, or the hot-air method.

[0142] Then, other laminating approaches which carry out the laminating of the semiconductor devices 40A and 40B are explained.

[0143] Drawing 48 shows the laminating equipment of the semiconductor device used in case the laminating of the semiconductor device 40 is carried out in this example. In addition, in drawing 48, about the same configuration as the configuration shown in drawing 34 explained previously, the same sign is attached and the explanation is omitted.

[0144] If the profile of the laminating equipment used for the laminating approach of this example is carried out, it is constituted by the package supply table 41, the stack head 42, FURAKKU feed zone 43B, and camera unit 45 grade. Therefore, the configuration is simplified compared with the laminating equipment shown in drawing 34 which needed imprint head 44A.

[0145] The package supply table 41 is the same configuration as what was shown in drawing 34. However, in this example, each semiconductor device 40 is laid on the package supply table 41 so that the pewter ball 7 may serve as an inferior surface of tongue. As described above, the manufactured semiconductor device 40 turns the pewter ball 7 down, and is contained by the tray for conveyance.

[0146] Therefore, in the case of this example, since the semiconductor device 40 picked out from the tray for conveyance can be laid in the package supply table 41 with a posture as it is, processing which moves a semiconductor device 40 from the tray for conveyance to the supply table 41 can be performed easily. Moreover, when the stack head 42 adsorbs the semiconductor device 40 on the package supply table 41, semiconductor device 40B will be in the condition that the pewter ball 7 was located in the lower part.

[0147] FURAKKU feed zone 43B used by this example is considered as the configuration which applies direct FURAKKU 50 to the pewter ball 7 of semiconductor device 40B. This flux feed zone 43B is made into the shape of a cylindrical shape, and the flux loading slot 58 is formed in that top face. The flux loading slot 58 has the rectangle frame-like configuration, where plane view is carried out. Moreover, this flux loading slot 58 is constituted so that it may correspond to the arrangement location of semiconductor device 40B, and in case flux 50 is imprinted on the pewter ball 7 so that it may mention later, the pewter ball 7 is inserted into the flux loading slot 58.

[0148] In this example, flux 50 is arranged only in the flux loading slot 58. In order to load with flux 50 into the flux loading slot 58, after arranging flux 50 in the top face of FURAKKU feed zone 43A, as shown in drawing 50, it inserts into the flux loading slot 58 using a squeegee 48. In addition, the thickness of flux 50 can be set as the thickness of arbitration by adjusting the depth of the flux loading

slot 58.

[0149] Next, the laminating approach of the semiconductor devices 40A and 40B performed using the laminating equipment considered as the above-mentioned configuration is explained.

[0150] In order to carry out the laminating of the semiconductor devices 40A and 40B, carrier stage 46B is equipped with semiconductor device 40A first located in the bottom. Drawing 49 shows the condition of having equipped carrier stage 46B with semiconductor device 40A. As shown in this drawing, wearing slot 49B for positioning semiconductor device 40A is formed in carrier stage 46A. The stack head 42 conveys semiconductor device 40A from the package supply table 41, and equips with it in wearing slot 49B of carrier stage 46B.

[0151] As described above, each semiconductor device 40 is laid in the package supply table 41 so that the pewter ball 7 may be located in the lower part. Moreover, the stack head 42 performs conveyance processing by adsorbing INTAPOZA 1 of a semiconductor device 40. Therefore, in the condition that carrier stage 46B was equipped, semiconductor device 40A is the posture in which the pewter ball 7 is located in the lower part.

[0152] Processing which loads with flux 50 to flux feed zone 43B using 48 at the time of skiing after conveyance processing of this semiconductor device 40A (it is also possible to carry out to conveyance processing and coincidence) as described above is carried out (refer to drawing 50). After the processing which loads with flux 50 to flux feed zone 43B is completed, while the stack head 42 moves onto the package supply table 41 again, it lower-**, and as shown in drawing 51, semiconductor device 40B which carries out a laminating on semiconductor device 40A is adsorbed.

[0153] To the upper part of the flux loading slot 58 on flux feed zone 43B, semiconductor device 40B is conveyed and the stud head 42 lower-** it continuously. In case semiconductor device 40B is conveyed by the stud head 42, it is the posture in which the pewter ball 7 is located in the lower part. Therefore, when the stud head 42 lower-**, as shown in drawing 52 , it is immersed in the flux 50 in the flux restoration slot 58 by the pewter ball 7. Thereby, flux 50 is imprinted by the pewter ball 7.

[0154] Under the present circumstances, flux 50 is imprinted by only the pewter ball 7 and other parts which constitute semiconductor device 40A of closure resin 2 grade do not adhere to it. That is, flux feed zone 43B has the composition that only the flux restoration slot 58 was loaded with flux 50, and the flux restoration slot 58 has composition corresponding to the arrangement location of the pewter ball 7. Furthermore, in case the flux restoration slot 58 is loaded with flux 50, it constitutes so that flux 50 may not adhere to any parts other than flux restoration slot 58 of flux feed zone 43B.

[0155] Thereby, flux 50 is imprinted by only the pewter ball 7 when the pewter ball 7 of semiconductor device 40B is made immersed in the flux 50 in the flux restoration slot 58. Therefore, it can prevent connecting too hastily between adjoining pewter balls and between adjoining ball pads also by this example, and improvement in the dependability after a laminating can be aimed at.

[0156] As for the stack head 42, termination of the processing which imprints flux 50 on the pewter ball 7 as mentioned above conveys semiconductor device 40B to the upper part (location which specifically counters with semiconductor device 40A) of carrier stage 46B. With this, the camera knitting 45 also moves to the upper part of the carrier stage 46. This becomes the configuration that insert the camera unit 45 in the middle, semiconductor device 40A is located in the lower part, and semiconductor device 40B is located in the upper part, as shown in drawing 53 . And the upper camera 51 arranged in the camera unit 45 performs location recognition of the ball pad 8 of semiconductor device 40B, the lower camera 52 performs location recognition of the pewter ball 7 of semiconductor device 40A, and, thereby, location recognition of each semiconductor devices 40A and 40B is performed.

[0157] When location recognition processing of each semiconductor devices 40A and 40B is performed as mentioned above, as the stack head 42 is continuously shown in drawing 54 based on this recognition result, the laminating of the semiconductor device 40B is carried out on semiconductor device 40A so that the location of the ball pad 8 of semiconductor device 40B and the pewter ball 7 of semiconductor device 40A may be in agreement.

[0158] Thereby, as shown in drawing 55, semiconductor devices 40A and 40B will be in the condition that the laminating was carried out. Under the present circumstances, as mentioned above, since flux 50 is the configuration imprinted by only the upper part of the pewter ball 7, flux 50 does not exist between the closure resin 2 of semiconductor device 40B located in the upper part, and INTAPOZA 1 of semiconductor device 40A located in the lower part.

[0159] The condition which shows in drawing 55 is the configuration of having been tacking carried out of semiconductor device 40A and the semiconductor device 40B by flux 50. For this reason, where a laminating is carried out, semiconductor devices 40A and 40B put carrier stage 46B into a reflow furnace, and join the pewter ball 7 by solder to the ball pad 8. Thereby, it is fixed and each semiconductor devices 40A and 40B serve as a configuration by which the laminating was carried out completely.

[0160] In addition, also in this example, when carrying out the laminating of the three or more semiconductor devices 40, thereby, the laminated structure of the number of arbitration can be realized that what is necessary is just to repeat and carry out the above-mentioned processing.

[0161]

[Effect of the Invention] As explained above, according to invention according to claim 1, a through tube is prepared in INTAPOZA on the background of an electrode pad in which the projection electrode was prepared, and the background side (field of a projection electrode and the opposite side) of an electrode pad is exposed within a through tube. Moreover, since the height of a projection electrode is higher than the closure height of a semiconductor device, when carrying out the laminating of the semiconductor device of the same structure, the projection electrode of an upper semiconductor device can be connected to the electrode pad in the through tube of a lower semiconductor device. At this time, the part to which the closure of the semiconductor device of an upper semiconductor device was carried out is held in the space formed with the projection electrode between the rewiring substrate of an upper semiconductor device, and the rewiring substrate of a lower semiconductor device.

[0162] Therefore, only a projection electrode can prescribe connection of each semiconductor device and the distance between each semiconductor device, and the laminated structure of two or more semiconductor devices with an easy configuration can be realized. Moreover, the rewiring substrate has the loading side of a semiconductor device, and can arrange an electrode pad freely on a rewiring substrate by forming a circuit pattern in this loading side.

[0163] According to invention according to claim 2, a through tube is prepared in INTAPOZA on the background of an electrode pad in which the projection electrode was prepared, the background side of an electrode pad is exposed within a through tube, and a projection electrode is prepared in this field. Moreover, since the height of a projection electrode is higher than the closure height of a semiconductor device, when carrying out the laminating of the semiconductor device of the same structure, the projection electrode of an upper semiconductor device can be connected to the electrode pad of a lower semiconductor device. At this time, the part to which the closure of the semiconductor device of a lower semiconductor device was carried out is held in the space formed with the projection electrode between the rewiring substrate of an upper semiconductor device, and the rewiring substrate of a lower semiconductor device.

[0164] Therefore, only a projection electrode can prescribe connection of each semiconductor device and the distance between each semiconductor device, and the laminated structure of two or more semiconductor devices with an easy configuration can be realized. Moreover, the rewiring substrate has the loading side of a semiconductor device, and can arrange an electrode pad freely on a rewiring substrate by forming a circuit pattern in this loading side.

[0165] Since according to invention according to claim 3 laminating immobilization of the semiconductor device of further others is carried out at the semiconductor device of a semiconductor device according to claim 1 or 2 and it closes in one, the laminating of the semiconductor device of a laminated structure can be carried out further, and many semiconductor devices can be mounted by the inside of the same

volume.

[0166] According to invention according to claim 4, a projection electrode is prepared only in one side of the electrode pad which the semiconductor device was mounted in both sides of a rewiring substrate, and was prepared in both sides of a rewiring substrate. The electrode pad of both sides of a rewiring substrate is electrically connected by the VIA hole. Therefore, the laminating of the semiconductor device which has a projection electrode higher than the closure quantity of the semiconductor device of the side in which the projection electrode is not prepared can be carried out from the side which is not prepared in the projection electrode, and the laminated structure of a semiconductor device can be realized with an easy configuration.

[0167] According to invention according to claim 5, in a semiconductor device according to claim 4, since a projection electrode is more expensive than total of the closure height of the semiconductor device of the both sides of a rewiring substrate, the laminating of the semiconductor devices of the same configuration can be carried out.

[0168] Since according to invention according to claim 6 laminating immobilization of the semiconductor device of further others is carried out at the semiconductor device of a semiconductor device according to claim 4 or 5 and it closes in one, the laminating of the semiconductor device of a laminated structure can be carried out further, and many semiconductor devices can be mounted by the inside of the same volume.

[0169] According to invention according to claim 7, in a semiconductor device according to claim 4 or 5, the semiconductor device of the both sides of a rewiring substrate is connected to an electrode pad by wirebonding. And the connecting location of the wire on the electrode pad of one side has shifted from the connecting location of the wire on the electrode pad of the opposite side.

[0170] Since the wire is already stretched under the bonding location when performing wirebonding of the semiconductor device of the opposite side after performing wirebonding of the semiconductor device of one side, when the bonding location of the semiconductor device of both sides is the same, a bonding location cannot be supported from the bottom.

[0171] However, in the semiconductor device by this invention, when performing wirebonding of the semiconductor device of the opposite side after performing wirebonding of the semiconductor device of one side, a bonding location can be supported from the part bottom by which bonding is carried out using a gap of the bonding location of the opposite side, and positive wirebonding can be performed.

[0172] Since it considers as the configuration from which the number of electrodes of the semiconductor device of the top in a laminated structure and the number of electrodes of a lower semiconductor device differ in the semiconductor device which has the laminated structure which carried out the laminating of two or more semiconductor devices indicated by claim 1 thru/or 7, and was connected according to invention according to claim 8, the laminating of the semiconductor devices which have the semiconductor device from which size differs can be carried out.

[0173] Since according to invention according to claim 9 it can carry, supporting the semiconductor device of the opposite side from the bottom after carrying the semiconductor device of one side in case a semiconductor device is carried in both sides of a rewiring substrate, the semiconductor device of both sides can certainly be carried in a rewiring substrate.

[0174] According to invention claim 10 and given in 11, it can prevent that the projection electrode and electrode pad which adjoin at the time of the reflow processing carried out in order to be able to prepare flux only in a projection electrode, to accumulate and to join an electrode pad to a projection electrode after FURAKKU spreading short-circuit.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device of the fan-out mold by the conventional wirebonding.

[Drawing 2] It is the sectional view of the semiconductor device by the conventional flip chip mounting.

[Drawing 3] It is the sectional view of an example of the semiconductor device by the 1st example of this invention.

[Drawing 4] It is the sectional view of the modification of the semiconductor device by the 1st example of this invention.

[Drawing 5] It is the top view of INTAPOZA of the semiconductor device by the 1st example of this invention.

[Drawing 6] It is the sectional view showing the structure which carried out the laminating of the semiconductor device shown in drawing 3.

[Drawing 7] It is the sectional view showing the structure which carried out the laminating of the semiconductor device shown in drawing 4.

[Drawing 8] It is the sectional view showing the modification of the semiconductor device shown in drawing 4.

[Drawing 9] It is the sectional view showing an example of the laminated structure of the semiconductor device shown in drawing 4.

[Drawing 10] It is the sectional view showing the modification of the semiconductor device shown in drawing 4.

[Drawing 11] It is the sectional view showing the modification of a ball pad.

[Drawing 12] It is the sectional view of an example of the semiconductor device by the 2nd example of this invention.

[Drawing 13] It is the sectional view of the modification of the semiconductor device by the 2nd example of this invention.

[Drawing 14] It is the sectional view of the structure which carried out the laminating of the semiconductor device shown in drawing 12.

[Drawing 15] It is the sectional view of the structure which carried out the laminating of the semiconductor device shown in drawing 13.

[Drawing 16] It is the sectional view of an example of the semiconductor device by the 3rd example of this invention.

[Drawing 17] It is the sectional view of the modification of the semiconductor device by the 3rd example of this invention.

[Drawing 18] It is the sectional view of the semiconductor device by the 4th example of this invention.

[Drawing 19] It is the sectional view of an example of the semiconductor device by the 5th example of this invention.

[Drawing 20] It is the sectional view of the modification of the semiconductor device by the 5th example of this invention.

[Drawing 21] It is the mimetic diagram showing the structure which carried out the laminating of the

modification of the semiconductor device shown in drawing 19 and drawing 20 .

[Drawing 22] It is the mimetic diagram showing the chip loading process of the semiconductor device by the 5th example of this invention.

[Drawing 23] It is the mimetic diagram showing the wirebonding process of the semiconductor device by the 5th example of this invention.

[Drawing 24] It is the mimetic diagram showing the wirebonding process of the semiconductor device by the 5th example of this invention.

[Drawing 25] It is the mimetic diagram showing the resin seal process of the semiconductor device by the 5th example of this invention.

[Drawing 26] It is the mimetic diagram showing the resin seal process of the semiconductor device by the 5th example of this invention.

[Drawing 27] It is the mimetic diagram showing the process which cuts down each semiconductor device.

[Drawing 28] It is the mimetic diagram showing the condition of having carried the semiconductor device by the 5th example of this invention in the substrate.

[Drawing 29] It is the mimetic diagram showing the example which reinforces INTAPOZA by the resist.

[Drawing 30] It is the mimetic diagram showing the example which positions a semiconductor device by the resist.

[Drawing 31] It is drawing for explaining the laminated structure which combined the semiconductor device by this invention example.

[Drawing 32] It is drawing for explaining the laminated structure which combined the semiconductor device by this invention example.

[Drawing 33] It is drawing for explaining the laminated structure which combined the semiconductor device by this invention example.

[Drawing 34] It is the important section block diagram showing the laminating equipment used for the laminating approach of the semiconductor device by this invention example.

[Drawing 35] It is drawing showing the semiconductor device with which the carrier stage was equipped.

[Drawing 36] It is drawing for explaining how applying flux to an imprint head.

[Drawing 37] It is drawing for explaining how imprinting flux on a pewter ball using an imprint head.

[Drawing 38] It is a perspective view for explaining the detail of an imprint head.

[Drawing 39] It is drawing for explaining the structure of various imprint heads.

[Drawing 40] It is drawing showing the condition that flux was arranged on a pewter ball.

[Drawing 41] It is drawing showing the condition of adsorbing the semiconductor device on a package supply table by the stack head.

[Drawing 42] It is drawing showing the condition of performing location recognition processing of each semiconductor device using the camera unit.

[Drawing 43] It is drawing showing the condition of carrying out the laminating of the semiconductor device.

[Drawing 44] It is drawing showing the semiconductor device by which the laminating was carried out.

[Drawing 45] It is drawing for explaining how to operate a pewter ball orthopedically by the imprint head.

[Drawing 46] It is drawing for explaining how raising the location precision of the semiconductor device by which the laminating was carried out using the positioning fixture.

[Drawing 47] It is drawing for explaining how to perform reflow processing where a positioning fixture is fixed by the clip member.

[Drawing 48] It is the important section block diagram showing the laminating equipment used for the laminating approach of the semiconductor device by this invention example.

[Drawing 49] It is drawing showing the semiconductor device with which the carrier stage was equipped.

[Drawing 50] It is drawing for explaining how to load the FURAKKU loading section of a flux feed-zone with flux.

[Drawing 51] It is drawing showing the condition of adsorbing the semiconductor device on a package

supply table by the stack head.

[Drawing 52] It is drawing for explaining how arranging flux in the pewter ball of a semiconductor device.

[Drawing 53] It is drawing showing the condition of performing location recognition processing of each semiconductor device using the camera unit.

[Drawing 54] It is drawing showing the condition of carrying out the laminating of the semiconductor device.

[Drawing 55] It is drawing showing the semiconductor device by which the laminating was carried out.

[Description of Notations]

1, 1A, 21 INTAPOZA

2 Closure Resin

3, 3A, 3-1, 3-2 Semiconductor chip

4 Au Wire

5 Bonding Pad

6 DB Material

7, 7A, 7B, 7C Pewter ball

8 8B Ball pad

9 Through Hole

10 Solder Resist

10A, 10B Resist

11 Under-filling Material

12 Projection Electrode

21a Opening

22 VIA Hole

24 UV Tape

13 39 Shock absorbing material

30 Fixture

31 Buffer Member

32 Press Member

33A, 33B Mold metal mold

34 Runner

35A, 35B Gate

36 Bending Prevention Pin

37 UV Tape

38 Substrate

40 Semiconductor Device

41 Package Supply Table

42 Stack Head

43A, 43B FURAKKU feed zone

44A-44E Imprint head

45 Camera Unit

46A, 46B Carrier stage

50 Flux

54A-54C FURAKKU spreading section

55 Positioning Fixture

57 Clip Member

58 Flux Loading Slot

[Translation done.]

(11)特許出願公開番号

特開2001-223297

(P2001-223297A)

(43)公開日 平成13年8月17日(2001.8.17)

(51) Int.Cl. ⁷	識別記号	F I	ページ (参考)
H 0 1 L	23/12	H 0 1 L	J 4 M 1 0 9
	23/28		L
	23/52		K
// H 0 1 L	25/065		C
	25/07		Z

審査請求 未請求 請求項の数 11 O L (全 27 頁) 最終頁に続く

(21)出願番号	特願2000-68986(P2000-68986)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成12年3月13日(2000.3.13)	(72)発明者	谷口 文彦 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31)優先権主張番号	特願平11-340816	(72)発明者	居川 幸平 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32)優先日	平成11年11月30日(1999.11.30)	(74)代理人	100070150 弁理士 伊東 忠彦
(33)優先権主張国	日本(JP)		

最終頁に続く

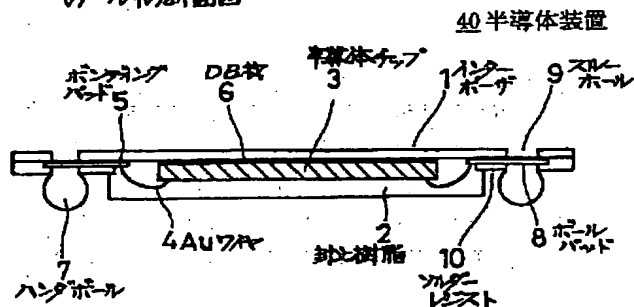
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法及び半導体装置の積層方法

(57) 【要約】

【課題】 本発明は複数の半導体装置を積層して三次元構造として実装密度の向上を図ることのできる半導体装置及び半導体装置の製造方法を提供することを目的とする。

【解決手段】 インターポーザ1の片面に半導体チップ3を搭載し、半導体チップ3の電極とボンディングパッド5とを接続する。ボンディングパッド5に接続されたボールパッド8にハンダボール7を設ける。ボールパッド8のハンダボールの反対側のインターポーザ1にスルーホール9を設ける。ハンダボールの高さを半導体チップ3の封止樹脂2の高さよりも高くする。

本発明の第1の実施の形態による半導体装置
の一例の前面図



(2)

【特許請求の範囲】

【請求項1】 半導体素子と、

該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、

該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電気的に接続された電極パッドと、

該電極パッド上に設けられた突起電極と、

前記再配線基板の前記第2の面から前記電極パッドに至る貫通孔とよりなり、

前記突起電極の前記第1の面からの高さを、前記半導体素子の前記第2の面からの封止高さより高くしたことを特徴とする半導体装置。

【請求項2】 半導体素子と、

該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、

該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電気的に接続された電極パッドと、

前記再配線基板の前記第2の面から該電極パッドに至る貫通孔と、

該貫通孔側から前記電極パッドに設けられた突起電極とよりなり、

前記突起電極の前記第2の面からの高さを、前記半導体素子の前記電極パッドからの封止高さより高くしたことを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置であって、

前記半導体素子に他の半導体素子を積層固定し、一体的に封止したことを特徴とする半導体装置。

【請求項4】 第1及び第2の半導体素子と、

該第1の半導体素子が搭載された第1の面と、該第2の半導体素子が搭載された第2の面とを有する再配線基板と、

該再配線基板の第1の面上で、前記第1の半導体素子の周囲に配置され、前記第1の半導体素子と電気的に接続された第1の電極パッドと、

前記再配線基板の第2の面上で、前記第2の半導体素子の周囲に配置され、前記第2の半導体素子と電気的に接続された第2の電極パッドと、

前記第1の電極パッドと前記第2の電極パッドとを電気的に接続するVIAホールと、

前記第1の電極パッドと前記第2の電極パッドのいずれか一方に設けられた突起電極とよりなり、

前記突起電極の高さを、前記第1の半導体素子の封止高さより高くしたことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置であって、

前記突起電極は、前記第1の半導体素子の封止高さと前記第2の半導体素子の封止高さとの総和より高くしたことを特徴とする半導体装置。

2

【請求項6】 請求項4又は5記載の半導体装置であって、

前記第1の半導体素子及び前記第2の半導体素子の少なくともいずれか一方に第3の半導体素子を積層固定し、一体的に封止したことを特徴とする半導体装置。

【請求項7】 請求項4又は5記載の半導体装置であって、

前記第1及び第2の半導体素子はワイヤボンディングにより前記第1及び第2の電極パッドに接続され、前記第1の電極パッド上でのワイヤの接続位置は、前記第2の電極パッド上でのワイヤの接続位置からずれていることを特徴とする半導体装置。

【請求項8】 請求項1乃至7に記載された半導体装置を複数個積層して接続した積層構造を有する半導体装置であって、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なることを特徴とする半導体装置。

【請求項9】 再配線基板の第1の面に第1の半導体素子が搭載され、該第1の面の反対側の第2の面に第2の半導体素子が搭載された半導体装置の製造方法であって、

前記再配線基板の第1の面に前記第1の半導体素子を搭載し、

前記再配線基板を裏返し、前記第1の半導体素子が収容される凹部を有し且つ前記第1の半導体素子を該凹部内で支持する緩衝部材を有する治具上に前記再配線基板を載置し、

前記再配線基板の第2の面に前記第2の半導体素子を搭載する各段階を有することを特徴とする半導体装置の製造方法。

【請求項10】 再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するよう配設された電極パッドとを有する複数の半導体装置を、前記突起電極と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、

前記半導体装置を前記突起電極が積層方向に対し上側となるよう配置すると共に、前記突起電極の配設位置と対応する位置にのみフラックスが塗布されるフラックス塗布部を有した転写ヘッドを用い、前記突起電極上に前記フラックスを転写するフラックス配設工程を有することを特徴とする半導体装置の積層方法。

【請求項11】 再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するよう配設された電極パッドとを有する複数の半導体装置を、前記突起電極

(3)

と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、前記突起電極の配設位置に対応した位置にのみフラックスが装填されたフラックス装填部を有するフラックス供給部材に、前記突起電極が積層方向に対し下側となる状態で前記半導体装置を搬送し、前記突起電極を前記フラックス装填部に浸漬することにより前記突起電極上に前記フラックスを配設するフラックス配設工程を有することを特徴とする半導体装置の積層方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及び半導体装置の製造方法に係り、特に、複数の半導体装置を積層して三次元構造として実装密度の向上を図るのに好適な半導体装置及び半導体装置の製造方法に関する。

【0002】電子機器の小型化、軽量化、薄型化に伴い、電子機器に使用される半導体装置にも小型化、薄型化が要求されている。このような要求に対処すべく、半導体装置のパッケージは、4方向に端子がガルウイング状に延出した表面実装用のQFPから、パッケージの底面に外部接続端子をエリアアレイ状に配置したBGA（ボールグリッドアレイ）型パッケージあるいはCSP（チップサイズパッケージ）へと移行してきている。

【0003】このような半導体パッケージにおいて、半導体チップを再配線基板（インターポーザ）に実装し、インターポーザにより半導体チップの周囲に外部接続用端子を配置したいわゆるファンアウト型のパッケージが多く使用されている。

【0004】

【従来の技術】図1は従来のファンアウト型の半導体装置の断面図である。図1において、半導体チップ3はポリイミド基板又はガラスエポキシ基板よりなるインターポーザ1に搭載され、封止樹脂2により封止されている。半導体チップ3はフェイスアップの状態ではDB材（ボンディング材）6によりインターポーザ1に固定されている。インターポーザ1の上面にはボンディングパッド5及びボールパッド8が形成されており、それぞれ配線パターンにより接続されている。

【0005】半導体チップ3の電極とボンディングパッド5とはAuワイヤ4により接続されている。また、インターポーザ1の半導体チップ3が搭載された面は、半導体チップ3、Auワイヤ4、ボンディングパッド5等を保護するためにエポキシ系樹脂等よりなる封止樹脂2により封止されている。インターポーザ1のボールパッド8及びボンディングパッド5に対応する位置には、その下面側からスルーホール（VIAホール）9が設けられ、ボールパッド8及びボンディングパッド5にハンダボール7が設けられている。したがって、半導体チップ3はインターポーザ1を介して外部接続端子であるハンダボール7に電氣的に接続されており、ハンダボール7

はインターポーザ1の下面側に突出して設けられている。

【0006】図2は従来のフリップチップ実装型のCSP（チップサイズパッケージ）の断面図である。図2において、図1に示した構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0007】図2において、半導体チップ3はフェイスダウンの状態ではインターポーザ1にフリップチップ実装されている。すなわち、半導体チップ3は接続用パッド12を有しており、接続用パッド12がボンディングパッド5に接続されている。半導体チップ3とインターポーザ1との間にはアンダーフィル材11が充填され、半導体チップ3はインターポーザ1に固定されている。図1に示した半導体装置と同様に、インターポーザ1にはスルーホール（VIAホール）9が設けられ、ハンダボール7がインターポーザ1の下面側に突出して設けられている。

【0008】

【発明が解決しようとする課題】上述の半導体パッケージでは、半導体チップを含めたパッケージの実装面積を縮小することにより、パッケージのサイズはほとんど半導体チップサイズまで縮小されている。したがって、パッケージ構造の二次元的な縮小はほぼ限界に達しているものと考えられ、今後は半導体装置の小型化を三次元的に考えていくことが必要となってきている。すなわち、半導体装置の実装面積ばかりでなく、実装体積をいかに小さくするかといったことが重要となってきている。

【0009】本発明は上述の課題に鑑みなされたものであり、半導体装置パッケージを簡単な構造により積層して一体化することにより半導体装置を三次元的に実装可能とした半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上述の目的を達成するために、請求項1記載の発明による半導体装置は、半導体素子と、該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電氣的に接続された電極パッドと、該電極パッド上に設けられた突起電極と、前記再配線基板の前記第2の面から前記電極パッドに至る貫通孔とよりなり、前記突起電極の前記第1の面からの高さを、前記半導体素子の前記第2の面からの封止高さより高くした構成とする。

【0011】請求項2記載の発明による半導体装置は、半導体素子と、該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電氣的に接続された電極パッドと、前記再配線基板の前記第2の面から該電極

(4)

5

パッドに至る貫通孔と、該貫通孔側から前記電極パッドに設けられた突起電極とよりなり、前記突起電極の前記第2の面からの高さを、前記半導体素子の前記電極パッドからの封止高さより高くした構成とする。

【0012】請求項3記載の発明は、請求項1又は2記載の半導体装置であって、前記半導体素子に他の半導体素子を積層固定し、一体的に封止した構成とする。

【0013】請求項4記載の発明は、第1及び第2の半導体素子と、該第1の半導体素子が搭載された第1の面と、該第2の半導体素子が搭載された第2の面とを有する再配線基板と、該再配線基板の第1の面上で、前記第1の半導体素子の周囲に配置され、前記第1の半導体素子と電気的に接続された第1の電極パッドと、前記再配線基板の第2の面上で、前記第2の半導体素子の周囲に配置され、前記第2の半導体素子と電気的に接続された第2の電極パッドと、前記第1の電極パッドと前記第2の電極パッドとを電気的に接続するVIAホールと、前記第1の電極パッドと前記第2の電極パッドのいずれか一方に設けられた突起電極とよりなり、前記突起電極の高さを、前記第1の半導体素子の封止高さより高くした構成とする。

【0014】請求項5記載の発明は、請求項4記載の半導体装置であって、前記突起電極は、前記第1の半導体素子の封止高さと同記第2の半導体素子の封止高さとの総和より高くした構成とする。

【0015】請求項6記載の発明は、請求項4又は5記載の半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくともいずれか一方に第3の半導体素子を積層固定し、一体的に封止した構成とする。

【0016】請求項7記載の発明は、請求項4又は5記載の半導体装置であって、前記第1及び第2の半導体素子はワイヤボンディングにより前記第1及び第2の電極パッドに接続され、前記第1の電極パッド上でのワイヤの接続位置は、前記第2の電極パッド上でのワイヤの接続位置からずれている構成とする。

【0017】請求項8記載の発明は、請求項1乃至7に記載された半導体装置を複数個積層して接続した積層構造を有する半導体装置であって、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なる構成とする。

【0018】請求項9記載の発明は、再配線基板の第1の面に第1の半導体素子が搭載され、該第1の面の反対側の第2の面に第2の半導体素子が搭載された半導体装置の製造方法であって、前記再配線基板の第1の面に前記第1の半導体素子を搭載し、前記再配線基板を裏返し、前記第1の半導体素子が収容される凹部を有し且つ前記第1の半導体素子を該凹部内で支持する緩衝部材を有する治具上に前記再配線基板を載置し、前記再配線基板の第2の面に前記第2の半導体素子を搭載する各段階

6

を有する構成とする。

【0019】請求項10記載の発明は、再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するように配設された電極パッドとを有する複数の半導体装置を、前記突起電極と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、前記半導体装置を前記突起電極が積層方向に対し上側となるよう配置すると共に、前記突起電極の配設位置と対応する位置にのみフラックスが塗布されるフラックス塗布部を有した転写ヘッドを用い、前記突起電極上に前記フラックスを転写するフラックス配設工程を有する構成とする。

【0020】請求項11記載の発明は、再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するように配設された電極パッドとを有する複数の半導体装置を、前記突起電極と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、前記突起電極の配設位置に対応した位置にのみフラックスが装填されたフラックス装填部を有するフラックス供給部材に、前記突起電極が積層方向に対し下側となる状態で前記半導体装置を搬送し、前記突起電極を前記フラックス装填部に浸漬することにより前記突起電極上に前記フラックスを配設するフラックス配設工程を有する構成とする。

【0021】上記の各手段は、次のように作用する。

【0022】請求項1記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔が設けられ、電極パッドの裏側面（突起電極と反対側の面）が貫通孔内で露出する。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を下側の半導体装置の貫通孔内の電極パッドに接続することができる。このとき、上側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に収容される。したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができ、簡単な構成で複数の半導体装置の積層構造を実現できる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0023】請求項2記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔

(5)

7

が設けられ、電極パッドの裏側面が貫通孔内で露出し、この面に突起電極が設けられる。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を下側の半導体装置の電極パッドに接続することができる。このとき、下側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に收容される。したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができ、簡単な構成で複数の半導体装置の積層構造を実現できる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0024】請求項3記載の発明によれば、請求項1又は2記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0025】請求項4記載の発明によれば、再配線基板の両面に半導体素子が実装され、かつ再配線基板の両面に設けられた電極パッドの一方のみに突起電極が設けられる。再配線基板の両面の電極パッドはVIAホールにより電気的に接続される。したがって、突起電極が設けられていない側の半導体素子の封止高さより高い突起電極を有する半導体装置を、突起電極が設けられていない側から積層することができ、簡単な構成で半導体装置の積層構造を実現できる。

【0026】請求項5記載の発明によれば、請求項4記載の半導体装置において、突起電極が再配線基板の両側の半導体素子の封止高さの総和より高いため、同じ構成の半導体装置同士を積層することができる。

【0027】請求項6記載の発明によれば、請求項4又は5記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0028】請求項7記載の発明によれば、請求項4又は5記載の半導体装置において、再配線基板の両側の半導体素子はワイヤボンディングにより電極パッドに接続される。そして、片側の電極パッド上でのワイヤの接続位置は、反対側の電極パッド上でのワイヤの接続位置からずれている。両側の半導体素子のボンディング位置が同じ場合は、片側の半導体素子のワイヤボンディングを行った後、反対側の半導体装置のワイヤボンディングを行なう場合、ボンディング位置の下にはすでにワイヤが張られているので、ボンディング位置を下側から支持することはできない。しかし、本発明による半導体装置では、片側の半導体素子のワイヤボンディングを行った

8

後、反対側の半導体素子のワイヤボンディングを行なう場合、反対側のボンディング位置のずれを利用してボンディングされる部分の下側からボンディング位置を支持することができ、確実なワイヤボンディングを行なうことができる。

【0029】請求項8記載の発明によれば、請求項1乃至7に記載された半導体装置を複数個積層して接続した積層構造を有する半導体装置において、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なる構成とするため、サイズの異なる半導体素子を有する半導体装置同士でも積層することができる。

【0030】請求項9記載の発明によれば、再配線基板の両面に半導体装置を搭載する際に、片側の半導体素子を搭載した後に反対側の半導体素子を下側から支持しながら搭載することができるため、両側の半導体装置を確実に再配線基板に搭載することができる。

【0031】請求項10記載の発明によれば、突起電極と電極パッドとを接合することにより複数の半導体装置を積層する半導体装置の積層方法において、半導体装置を突起電極が積層方向に対し上側となるよう配置すると共に、突起電極の配設位置と対応する位置にのみフラックスが塗布されるフラックス塗布部を有した転写ヘッドを用いて突起電極上にフラックスを転写することにより、突起電極にのみフラックスを設けることができる。よって、フラックス塗布後に突起電極と電極パッドを接合するために実施されるリフロー処理時に隣接する突起電極及び電極パッドが短絡することを防止することができる。

【0032】請求項11記載の発明によれば、突起電極と電極パッドとを接合することにより複数の半導体装置を積層する半導体装置の積層方法において、突起電極が積層方向に対し下側となる状態で半導体装置を搬送し、突起電極の配設位置に対応した位置にのみフラックスが装填されたフラックス装填部に突起電極を浸漬して突起電極上にフラックスを配設することにより、突起電極にのみフラックスを設けることができる。よって、フラックス塗布後に突起電極と電極パッドを接合するために実施されるリフロー処理時に隣接する突起電極及び電極パッドが短絡することを防止することができる。

【0033】また、半導体装置は、通常製造された後は突起電極が下に位置するよう保管される。このため、請求項10記載の積層方法では必要な半導体装置を反転させる処理が不要となり、フラックス配設工程の簡単化を図ることができる。

【0034】

【発明の実施の形態】以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0035】図3は本発明の第1実施例による半導体装置40の断面図である。図3に示した半導体装置40は、ワイヤボンディング接続されたファンアウト型の半

(6)

9

導体装置である。図3において、図1に示した構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0036】図3に示した半導体装置40において、半導体チップ3は片面配線基板よりなるインターポーザ1の配線面側に搭載される。インターポーザ1はポリイミドテープ基板、ガラスエポキシ基板又は有機基板（ポリカーボネート）等より形成される。半導体チップ3はDB材6によりインターポーザ1に固定され、Auワイヤ4によりワイヤボンディングすることにより半導体チップ3とインターポーザ1上に形成されたボンディングパッド5とは電氣的に接続される。ボンディングパッド5は配線パターンによりボールパッド8に接続される。ボールパッド8の表面は、ハンダボール7を設ける部分を除いてハンダレジスト10により覆われる。ハンダボール7は、半導体チップ3が搭載される面側のボールパッド8上に設けられる。

【0037】インターポーザ1の半導体チップ3搭載面の反対側の面には、ボールパッド8まで延在するスルーホール（VIA）9が設けられる。すなわち、スルーホール9はインターポーザ1の基板を貫通して設けられる貫通孔である。したがって、ボールパッド8のハンダボール7が設けられた面の反対側の面は、スルーホール9内で露出している。後述のように半導体装置を積層して接続可能とするため、スルーホール9の大きさは、ハンダボール7を接続するのに十分な面積のボールパッド8が露出するような大きさに設定される。

【0038】半導体チップ3及びボンディングパッド5は封止樹脂2により封止されるが、ハンダレジスト10によりハンダボール搭載部分のみ露出したボールパッド8は封止されない。よって、ハンダボール7は、ハンダレジスト10により露出したボールパッド8上に設けられる。すなわち、ハンダボール7はインターポーザ1の半導体チップ3搭載面側において、半導体チップ3の周囲に配列される。

【0039】半導体チップ3は薄型化された半導体チップであり、封止樹脂2による封止高さ（封止樹脂2により封止した部分のボールパッド8からの高さ）は、ハンダボール7の高さ（ハンダボール7のボールパッド8からの高さ）より低く設定される。すなわち、ハンダボール7の高さは封止樹脂2による封止高さより高くなるように設定され、後述するように同じ構造を有する半導体装置を容易に積層して接続可能な構造となっている。このように、封止樹脂2の高さを低くするには、ワイヤボンディングを使用する場合、液状レジンをを用いることが有効である。また、真空印刷装置を併用することにより、より低く安定した封止高さを実現することができる。

【0040】図4は、本実施の形態による半導体装置であって、半導体チップをフリップチップ実装する場合の例を示す断面図である。図4において、図3に示す構成

10

部品と同じ部品には同じ符号を付し、その説明は省略する。

【0041】図4に示すように、半導体チップ3の接続にフリップチップ実装を用いることにより、封止樹脂2による封止高さを図3に示す場合よりさらに低くすることができる。すなわち、Auワイヤ4に代えて半導体チップ3に形成された突起電極12により、半導体チップ3とインターポーザ1との電氣的接続を行なうことで、封止高さを低く押さえるものである。突起電極12としては、Auバンプあるいはハンダバンプ等が用いられる。

【0042】半導体チップ3とインターポーザ1の間には、一般的にアンダーフィル材11が注入され、突起電極12とボンディングパッド5との接続を補強している。このアンダーフィル材11の注入を、ハンダボール7を形成した後に行なうことにより、ハンダボール7とボールパッドとの接合部にもアンダーフィル材11を供給することができ、ハンダボール7の接続を補強することができる。これにより、半導体装置を基板に実装する二次実装の信頼性を高めることができる。

【0043】図4に示した半導体装置は、封止樹脂2により半導体チップ3全体を封止するいわゆるオーバーモールドタイプであるが、フリップチップ実装の場合は封止樹脂2による封止を省くことにより、封止高さ（この場合封止高さは半導体チップ3の上面の高さとなる）をより低くすることができる。

【0044】上述の図3及び図4に示した半導体装置は、片面配線のインターポーザ1を使用することにより、低コストにて製造することができる。また、スルーホール9にはスルーホールメッキを施す必要がなく、微細な配線にも対応することができる。

【0045】図5は図3に示したワイヤボンディング接続を用いた半導体装置のボンディングパッド5とボールパッド8との位置関係を示す平面図である。本実施の形態による半導体装置に使用されるインターポーザ1は、図5に示すように、半導体チップ3に対向する面上にも配線パターンを形成可能である。このため、ボンディングパッド5とボールパッド8の配置関係を自由に設定することができ、ボンディングパッド5とボールパッド8とを狭い面積内で効率的に配置することができる。

【0046】なお、上述の本実施の形態による半導体装置の説明では、ワイヤボンディング及びフリップチップ実装により半導体チップ3とインターポーザ1とを接続した例を図示して説明したが、インターポーザ1をテープ基板とし、TAB（テープオートメーテッドボンディング）接続により半導体チップ3とインターポーザ1とを接続してもよい。

【0047】次に、上述の本発明の第1実施例による半導体装置を複数個積層して接続した構造について説明する。図6は図3に示すようなワイヤボンディングにより

50

(7)

11

半導体チップをインターポーザに接続した半導体装置を二個積層して接続した例を示す断面図である。図7は図4に示すようなフリップチップ実装により半導体チップをインターポーザに接続した半導体装置を二個積層して接続した例を示す断面図である。図6及び図7において、それぞれ図3及び図4に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0048】図6及び図7に示すように、上側の半導体装置に設けられたハンダボール7は、下側の半導体装置のスルーホール9を介して下側の半導体装置の対応するボールパッド8に接続される。ハンダボールの高さが、封止樹脂2の封止高さより高いので、上側の半導体装置と下側の半導体装置のインターポーザ1の間隔はハンダボール7により封止樹脂2の封止高さ以上に保たれる。よって、半導体チップ3は上側の半導体装置のインターポーザ1と下側の半導体装置のインターポーザ1との間に形成された空間に収容される。

【0049】このような半導体装置の積層構造において、半導体装置を積層固定するには、単に半導体装置同士を重ねた上で上側の半導体装置のハンダボール7を溶解して下側の半導体装置のボールパッドに接続するだけでよい。したがって、非常に簡単な作業で積層構造を形成することができる。また、上側の半導体装置のハンダボール7は下側の半導体装置のインターポーザ1に形成されたスルーホール9内に配置されるため、自動的に半導体装置同士の位置決めが行われる。

【0050】図8は本実施の形態による半導体装置の変形例である半導体装置の一部を示す断面図である。図8において図6に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。図8に示した変形例では、スルーホール9がすりばち形状に形成されている。スルーホール9をこのような形状とすることにより、半導体装置の位置決め時にハンダボール7をスルーホール9に案内する作用が向上し、半導体装置同士の位置決めがより容易となる。スルーホール9の形状はすりばち形状に限定されることはなく、スルーホール9の端部を面取りした形状でもよい。

【0051】また、積層又は二次実装時のハンダのリフローによるハンダボールの脱落を防止するためには、実装ランド径サイズをスルーホール9の開口径サイズの1.5倍以下にすることが好ましい。より好ましくは、実装ランド径サイズとスルーホール9の開口径サイズとを同等にする。これにより、上下のハンダ接続部の面積が等しくなり、溶解したハンダが片方に吸い寄せられ、実装後の接合部の応力集中を防止することができる。また、積層に使用される半導体のハンダボール7として、高融点のハンダボールを使用することにより、積層構造体をマザーボードへ二次実装する際に積層構造内のハンダボール7が再溶解することを防止することができる。信頼性の高い二次実装を達成することができる。

12

【0052】以上のようなスルーホール9の形状、サイズ及びハンダボール7の材質は、以下に説明する他実施例にも適用可能である。

【0053】なお、積層構造の最上段に位置する半導体装置のインターポーザ1には上側からハンダボール7を接続することはないため、図9に示すように、スルーホール9を形成する必要は無く、その分コスト低減となる。また、最上段に位置する半導体装置にもスルーホール9を設けたインターポーザ1を使用した場合、このスルーホール9を介して積層された半導体装置との電気的接触を行なうことができ、導通試験等の半導体装置試験を行なうことができる。

【0054】図10は本実施の形態による半導体装置の積層構造において、上段の半導体装置の電極数を下段の半導体装置の電極数より多くした場合の構成を示す断面図である。図10において、図6に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0055】図10において、上側の半導体装置は電極数が多いため、上側の半導体装置のインターポーザ1Aを下側の半導体装置のインターポーザ1より大きくしてボールパッド8の他にボールパッド8Aを設けている。そして、下側の半導体装置と電気的に接続しないボールパッド8Aは外周部に配置し、このボールパッド8Aに接続するハンダボール7Aはハンダボール7より大きく形成する。すなわち、ハンダボール7Aの高さは下側の半導体装置のハンダボール7までの高さと同等にする。これにより、上側の半導体装置の電極は、下側の半導体装置の電極を経由しないでマザーボード等の他の基板に電気的に接続することができる。このように、ハンダボールの大きさを異ならせることにより、異なる電極数の半導体装置を積層することができる。このような半導体装置の構成によれば、上側の半導体装置と下側の半導体装置の異なるサイズのものとすることができ、様々な種類の半導体装置を積層することが可能となる。

【0056】図11は、本実施の形態による半導体装置における、スルーホール内のボールパッドの変形例を示す断面図である。図11に示すボールパッド8Bは、上側の半導体装置のハンダボール7が接続される面が凸形状に形成されている。このように、ボールパッドを凸形状とすることにより、ハンダボール7との接触面積が増大し、信頼性の高い接続を達成することができる。

【0057】なお、上述実施例による半導体装置の積層構造において、積層される半導体装置の半導体チップは同種のチップであってもよいし、異種のチップとすることもできる。また、二個の半導体装置を積層した構成を説明したが、同様な方法により積み重ねることにより、三個以上の半導体装置を積層することもできる。

【0058】また、本実施の形態における様々な変形例は、以下に説明する他実施例にも適用可能である。

【0059】次に、本発明の第2実施例について説明す

(8)

13

る。図12及び図13は本発明の第2実施例による半導体装置の断面図である。図12は半導体チップをワイヤボンディング接続したものであり、図13は半導体チップをフリップチップ実装したものである。図12及び図13において、図3及び図4に示した構成部品と同じ部品には同じ符号を付す。本発明の第2実施例による半導体装置の構成部品は、上述の第1実施例による半導体装置の構成部品と基本的に同じであり、ここではその相違点についてのみ説明する。

【0060】上述の第1実施例による半導体装置では、インターポーザ1の半導体チップ搭載面側、すなわち配線面側にハンダボール7が設けられている。そして封止樹脂の封止高さはハンダボール7の高さより低く設定されている。すなわち、半導体チップ3とハンダボール7とは、インターポーザ1の同じ面側に搭載され、スルーホール9はインターポーザ1の半導体チップ搭載面の反対側の面に設けられている。

【0061】これに対して、第2実施例による半導体装置では、ハンダボール7は、インターポーザ1の半導体チップ搭載面の反対側の面に設けられる。すなわち、ハンダボール7はスルーホール9内に露出したボールパッド8の面に対して設けられる。したがって、ハンダボール7は半導体チップ3（封止樹脂2）が設けられた面の反対側に突出するように設けられる。

【0062】このような構成において、封止樹脂2の封止高さ（ボールパッド8の表面からの高さ）は、ハンダボール7の高さ（インターポーザ1のチップ実装面の反対側の面からの高さ）より低く設定される。すなわち、ハンダボール7の高さは、封止高さより高いため、後述するように本実施の形態による半導体装置を積層した場合、封止樹脂2による封止部分は上側と下側の半導体装置のインターポーザの間に形成される空間に收容される。

【0063】なお、上述の本実施の形態による半導体装置の説明では、ワイヤボンディング及びフリップチップ実装により半導体チップ3とインターポーザ1とを接続した例を図示して説明したが、インターポーザ1をテープ基板とし、TAB（テープオートメーテッドボンディング）接続により半導体チップ3とインターポーザ1とを接続してもよい。

【0064】次に、上述の本発明の第2実施例による半導体装置を複数個積層して接続した構造について説明する。図14は図12に示すようなワイヤボンディングにより半導体チップをインターポーザに接続した半導体装置を二個積層して接続した例を示す断面図である。図15は図13に示すようなフリップチップ実装により半導体チップをインターポーザに接続した半導体装置を二個積層して接続した例を示す断面図である。図14及び図15において、それぞれ図12及び図13に示す構成部品と同じ部品には同じ符号を付し、その説明は省略す

14

る。

【0065】図14及び図15に示すように、上側の半導体装置に設けられたハンダボール7は、下側の半導体装置のスルーホール9を介して下側の半導体装置の対応するボールパッド8に接続される。ハンダボール7の高さが、封止樹脂2の封止高さより高いので、上側の半導体装置と下側の半導体装置のインターポーザ1の間の間隔はハンダボール7により封止樹脂2の封止高さ以上に保たれる。よって、半導体チップ3は上側の半導体装置のインターポーザ1と下側の半導体装置のインターポーザ1との間に形成された空間に收容される。

【0066】このような半導体装置の積層構造において、半導体装置を積層固定するには、単に半導体装置同士を重ねた上で上側の半導体装置のハンダボール7を溶融して下側の半導体装置のボールパッドに接続するだけでよい。したがって、非常に簡単な作業で積層構造を形成することができる。

【0067】なお、上述実施例による半導体装置の積層構造において、積層される半導体装置の半導体チップは同種のチップであってもよいし、異種のチップとすることもできる。また、二個の半導体装置を積層した構成を説明したが、同様な方法により順次積み重ねることにより、三個以上の半導体装置を積層することもできる。

【0068】次に、本発明の第3実施例について説明する。図16及び図17は本発明の第3実施例による半導体装置を示す断面図である。図16及び図17において、図3及び図4に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。本実施の形態による半導体装置は、上述の第1実施例による半導体装置と基本的な構造は同じであり、相違点は、半導体チップ3の上に半導体チップ3Aが積層されて一体的に樹脂封止されていることである。

【0069】図16において、半導体チップ3より小さい半導体チップ3Aは緩衝材13を介して半導体チップ3に積層されている。半導体チップ3及び3Aは、両方ともAuワイヤ4によりインターポーザ1のボンディングパッド5に接続され、封止樹脂2により一体的に封止される。封止樹脂2の封止高さは、上述の第1実施例による半導体装置と同様に、ハンダボール7Bの高さより低く設定される。したがって、本実施の形態による半導体装置も、上述の第1実施例による半導体装置と同様に、複数の半導体装置を積層して接続することができる。

【0070】図17に示す半導体装置は、図16に示す半導体装置において半導体チップ3をフリップチップ実装したものであり、その他の構成は図16に示す半導体装置と同じである。

【0071】また、図示はしないが、半導体装置3をTAB接続することもできる。また、図16及び図17では半導体チップを二個重ねて樹脂封止しているが、半導

(9)

15

体チップの封止高さをハンダボール7Bの高さより低くできるのであれば、三個以上の半導体装置を積層してインターポーザ1に搭載し、一体的に樹脂封止した構成としてもよい。

【0072】次に、本発明の第4実施例について説明する。図18は本発明の第4実施例による半導体装置を示す断面図である。図18において、図12に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。本実施の形態による半導体装置は、上述の第2実施例による半導体装置と基本的な構造は同じであり、相違点は、半導体チップ3の上に半導体チップ3Aが積層されて一体的に樹脂封止されていることである。

【0073】図18において、半導体チップ3より小さい半導体チップ3Aは緩衝材13を介して半導体チップ3に積層されている。半導体チップ3及び3Aは、両方ともAuワイヤ4によりインターポーザ1のボンディングパッド5に接続され、封止樹脂2により一体的に封止される。封止樹脂2の封止高さは、上述の第2実施例による半導体装置と同様に、ハンダボール7Bの高さより低く設定される。したがって、本実施の形態による半導体装置も、上述の第1実施例による半導体装置と同様に、複数の半導体装置を積層して接続することができる。

【0074】図18に示す半導体装置は、半導体チップ3及び3Aをワイヤボンディングしたものであるが、半導体チップ3はフリップチップ実装によりインターポーザ1に実装することもできるし、TAB接続により実装してもよい。また、図18では半導体チップを二個重ねて樹脂封止しているが、封止高さをハンダボール7Bの高さより低くできるのであれば、三個以上の半導体装置を積層してインターポーザ1に搭載し、一体的に樹脂封止した構成としてもよい。

【0075】また、図18に示す半導体装置には、封止樹脂2の封止高さより高いハンダボール7Bが設けられているが、複数の半導体装置を積層して接続する場合、最下段の半導体装置のハンダボールは基板に接続するためだけなので、大きいハンダボールとする必要はない。

【0076】次に、本発明の第5実施例について説明する。図19は本発明の第5実施例による半導体装置の断面図である。図19において、図3に示した構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0077】本実施の形態では、インターポーザ21として両面配線基板を使用する。したがって、ボンディングパッド5及びボールパッド8はインターポーザ21の両面に設けられ、半導体チップ3はインターポーザ21の両面に搭載され樹脂封止される。インターポーザ21の両面に設けられたボールパッド8又はボンディングパッド5は、VIAホール22により互いに電気的に接続される。VIAホール22はインターポーザ21の基板を貫通する孔であり、内面にメッキが施されてインター

16

ポーザの両面の電極パッドを電気的に接続するものである。また、両面のボールパッド8のいずれか一方にハンダボール7Cが設けられる。

【0078】ハンダボール7Cの高さは封止樹脂2の封止高さの二倍以上とされ、複数の半導体装置を積層して接続可能となっている。すなわち、本実施の形態による半導体装置を積層して接続した場合、上側に位置する半導体装置のハンダボール7Cは、下側の半導体装置のボールパッド8に接続される。上側の半導体装置のインターポーザ21と下側の半導体装置のインターポーザ21との間には、上側の半導体チップ3の封止樹脂2と下側の半導体チップ3の封止樹脂2とが収容される。したがって、ハンダボール7Cの高さは、封止樹脂2の封止高さの二倍以上とする必要がある。

【0079】ここで、積層された複数の半導体装置のうち、最下段に位置する半導体装置には上述のように大きなハンダボール7Cを設ける必要はなく、図20に示すように、下側の半導体チップ3を封止する封止樹脂2の高さ以上とされたハンダボール7であればよい。

【0080】なお、本実施の形態による半導体装置も、上述実施例と同様に、半導体チップ3をワイヤボンディングではなく、フリップチップ実装又はTAB接続としてもよい。

【0081】図21(a)及び(b)は、図19及び図20に示す半導体装置の変形例を積層した状態を示す模式図である。この変形例では、ボンディングワイヤ(Auワイヤ4)を封止する部分以外は封止樹脂2の高さを低くしてある。そして、上側の半導体装置の半導体チップ3の位置と、下側の半導体装置の半導体チップ2の位置とを相対的にずらすことにより、上側と下側の半導体装置のボンディングワイヤが封止された部分が重ならないようにする。すなわち、ボンディングワイヤを封止した部分が封止樹脂2の部分で最も高くなる部分であり、この部分を互いにずらして配置することにより、上側の半導体装置のインターポーザ21と下側の半導体装置のインターポーザ21との間隔を狭めることができ、積層構造全体の高さを小さくすることができる。なお、一方の半導体装置のボンディングワイヤを封止した部分を、他方の半導体装置のボンディングワイヤ以外の部分を封止した部分に嵌合することにより、半導体装置同士の位置決めを行なうこともできる。

【0082】次に、図19及び図20に示す本発明の第5実施例による半導体装置の製造方法について説明する。

【0083】図22は半導体チップをインターポーザ21に搭載する工程を示した模式図である。本発明の第5の実施例では、半導体チップ3-1及び3-2がインターポーザ21の両側に搭載される。したがって、例えば下側の半導体チップ3-2を搭載した後で上側の半導体チップ3-1をインターポーザ21の反対側の面に搭載

(10)

17

する際、インターポーザ21を治具30に載置して行なう。インターポーザ21の下側の面にはすでに半導体チップ3-2が搭載されているので、治具30には半導体チップ3-2が収容される凹部が設けられる。しかし、このままで半導体チップ3-1をインターポーザ21にダイス付けしようとする、ダイス付けの際の荷重によりインターポーザ21が撓んでしまい、下側の半導体チップ3-2が治具30の凹部の底面に接触したりして損傷するおそれがある。このような問題を回避するために、半導体チップ3-2の下に緩衝部材31を設けて半導体チップ3-2を支持し、上側の半導体チップ3-1のダイス付けの際の荷重によりインターポーザ21が撓まないようにする。緩衝部材31としては、耐熱性を有する弾性材料が適している。そのような材料として、NBR、シリコン系ゴムあるいはフッ素系ゴムが挙げられる。

【0084】図23は、半導体チップ3-1及び3-2が搭載されたインターポーザ21の半導体装置3-1にワイヤボンディングを行なう際の工程を示す模式図である。半導体チップ3-2をインターポーザ21に搭載してワイヤボンディングを行った後に、反対側の半導体チップ3-1をワイヤボンディングする際、インターポーザ21（ボンディングパッド）への接続部にはワイヤボンダの荷重が加わる。インターポーザ21は非常に薄い基板で形成されるため、インターポーザ21の外周部を支持した状態でワイヤボンディングを行なうとインターポーザ21が撓んでしまい（下側に沈み込んでしまう）、適切にワイヤボンディングを行なうことができないおそれがある。このような問題を回避するために、上側の半導体チップ3-1と下側の半導体チップ3-2とのボンディングワイヤ接続部をずらしておく。より具体的には、下側の半導体チップ3-2のボンディング位置を、上側の半導体チップ3-1のボンディング位置より内側にしておく。このようにすることにより、上側の半導体チップ3-1をワイヤボンディングする際に、図23に示すように、インターポーザ21のボンディング部分を治具30の上面で支持することができ、治具30によりワイヤボンダの荷重を受けることができる。したがって、上側の半導体チップ3-1のワイヤボンディング時に、インターポーザ21が撓んでワイヤボンディングが適切に行えないというような問題を回避することができる。

【0085】図24は緩衝材31を使用しないでインターポーザ21の撓みによる問題を回避する方法を示す模式図である。図24(a)は治具に搭載されたインターポーザ21の側面図であり、図24(b)は半導体チップ3-1の上方から見た平面図である。図24に示す方法では、インターポーザ21のワイヤボンディングを行わない部分に押圧部材32を押しつけておき、インターポーザ21を予めある程度撓ませてしまう。イ

18

ンターポーザ21を撓ませた状態でインターポーザ21がある程度張力を有している状態でワイヤボンディングすることにより、ワイヤボンダによる荷重がインターポーザ21に加えられても、インターポーザ21はそれ以上撓むことはなく、正常にワイヤボンディングを行なうことができる。

【0086】また、インターポーザ21の押圧部材32が当接する部分の下側に支持部材を設けることにより、押圧部材32と支持部材との間でインターポーザ21を挟んだ状態で保持することとしてもよい。

【0087】次に、本発明の第5実施例による半導体装置を封止する工程について説明する。ここでは、複数の半導体装置をまとめてインターポーザ21上に形成し、複数の半導体装置を樹脂封止する場合について説明する。図25は、樹脂封止用モールド金型の断面図であり、図26は樹脂封止用モールド金型の内部を示す平面図である。

【0088】図25に示す封止工程は、3つの半導体装置を一括して樹脂封止するためのものであり、インターポーザ21には上下合わせて6個の半導体チップが搭載されている。インターポーザ21は半導体装置三個分の大きさを有しており、さらにモールド金型33A、33Bのランナー34方向に延在する部分も有している。このため、インターポーザ21の両面に樹脂を導入するには、モールド金型の両方にランナー及びゲートを設けなければならない。そこで、図25に示すように、ゲート34は上型33Aのみに設け、ゲート35A、35Bの付近に位置するインターポーザ21の部分に開口21aを設けて、インターポーザ21の上側と下側の両方に樹脂が導かれるようにする。すなわち、インターポーザ21の上側から注入された樹脂の一部は、ランナー34内でインターポーザ21の開口21aを通してインターポーザ21の下側へ導入される。インターポーザの上側と下側とに導入された樹脂は、各々のゲート35A、33Bを介して均等な速度でモールド金型33A、33Bの内部へと注入される。したがって、簡単な構成によりインターポーザ21の両面に搭載された半導体チップを同時に樹脂封止することができる。

【0089】また、図25に示されるように複数の半導体装置を同時に樹脂封止するには、インターポーザ21の大きさが大きくなり、モールド金型33A、33B内において、インターポーザ21が撓んでしまうおそれがある。これを防止するために、図25に示すモールド金型33A、33Bには基板撓み防止ピン36が設けられている。基板撓み防止ピン36はモールド金型33A、33Bの各々から突出してインターポーザ21に当接するように設けられる。したがって、インターポーザ21は基板撓み防止ピン36によって支持され、その撓みが防止される。なお、図26において符号23で示される部分は撓み防止ピン36がインターポーザ21に当接す

(11)

19

る部分である。

【0090】特に隣合う半導体チップの間隔が狭い場合は、ボンディングワイヤとの接触を避けるために撓み防止ピン36にテーパを付けることが好ましい。また、撓み防止ピンは必ずしも上型33Aと下型33Bの両方に設ける必要はなく、下型33Bに設けるだけでも、インターポーザの重さによる撓みを防止することができる。

【0091】以上のような工程により形成された半導体装置は、カティングブレードにより不用なゲート残りが除去され、個々の半導体装置に分割される。このような切断工程では、UVテープ等の容易に剥離可能な粘着テープをにて固定しながら切断が行われる。しかし、インターポーザ21の両面に半導体チップが搭載されているため、UVテープは封止樹脂部のみに貼りついてしまい、インターポーザ21に貼りつけることができない。そこで、図27に示すように、UVテープ37の封止樹脂に相当する部分を取り除いておき、UVテープ37がインターポーザ21のみに貼りつくようにしておく。これにより、インターポーザ21をUVテープ37により固定することができ、安定した切断を行なうことができる。

【0092】あるいは、樹脂封止された部分以外のインターポーザ21を予めパンチングやレーザ切断により除去しておき、封止樹脂のみを切断することとすれば、UVテープ37は封止樹脂に貼りつける構成でもかまわない。この場合、インターポーザ21の除去すべき部分に予め切れ目を入れておいてもよい。

【0093】図28は本発明の第5実施例による半導体装置を基板に搭載した状態を示す模式図である。図28に示すように、下側の封止樹脂2とマザーボード等の基板38との間に緩衝材39を設けることにより、半導体装置を基板38に安定した状態で搭載することができる。緩衝材38は半導体装置に加わる外力を緩衝する機能、半導体装置を基板38に固定する機能、あるいは半導体装置で発生する熱を基板に放出する機能を有することとしてもよい。

【0094】なお、図28に示した緩衝材39は、本発明の第5実施例による半導体装置に限ることなく、インターポーザの下側に半導体チップが封止された半導体装置であれば適用することができる。

【0095】図29は樹脂封止部の境界部分にレジスト(絶縁性物質)を設けた例を示す。インターポーザ21の半導体チップを搭載する部分にはレジスト10Aは設けず、ハンダボール7を設ける部分にのみレジスト10Aを設けるものである。これにより、モールド金型の合わせ目にレジスト10Aが存在することとなり、レジスト10Aの弾力により樹脂バリの発生が抑制される。また、レジスト10Aによりインターポーザ21補強して撓みにくくすることができる。半導体チップ搭載部にレジスト10Aを設けないため、レジスト10Aの厚み分

20

半導体装置の高さを減少することができる。

【0096】図29は本発明の第5実施例による半導体装置を示しているが、これに限られず、レジスト10Aの構成はその他実施例による半導体装置にも適用可能である。

【0097】図30はレジストを半導体装置の位置決めに使用した例を示す。図30において、レジスト10Bは樹脂封止する部分には設けられず、半導体装置が積層された場合に上側の半導体装置の封止樹脂2が下側の半導体装置のレジスト10Bにより位置決めされるように構成されている。

【0098】図30乃至図32は、上述の各実施例による半導体装置を組み合わせた積層構造を説明するための図である。図31は積層構造中に含まれる半導体チップが2個の場合を示し、図32は積層構造中に含まれる半導体チップが3個の場合を示し、図33は積層構造中に含まれる半導体チップが4個の場合を示す。各図において、最も左側の欄には、半導体チップの個数が表示され、2番目の欄には積層構造の模式図が示されている。3番目の欄には積層構造中に含まれるインターポーザの数が示されている。4番目及び5番目の欄には外部端子の形態が示されている。すなわち、積層構造とされた半導体装置を基板に実装する場合に使用可能な実装方法を示すものである。4番目の欄はBGA(ボールグリッドアレイ)が使用可能である場合に○印を表示し、使用できない場合に×印を表示している。また、5番目の欄はLGA(ランドグリッドアレイ)が使用可能である場合に○印を表示し、使用できない場合に×印を表示している。

【0099】また、6番目乃至8番目の欄には半導体チップの接続に使用可能な方法を示している。すなわち、6番目の欄では、半導体チップをワイヤボンディングにより接続可能な場合は○印を表示し、接続不可能な場合は×印を表示している。また、7番目の欄では、半導体チップをフリップチップ実装可能な場合は○印を表示し、フリップ実装不可能な場合は×印を表示している。さらに、8番目の欄では、半導体チップをTAB接続可能な場合に○印を表示し、TAB接続できない場合は×印を表示している。

【0100】9番目及び10番目の欄では、組み合わせ可能な半導体チップの種類を特定している。すなわち、9番目の欄では、同種類の半導体チップ同士を積層可能な場合に○印を表示し、同種類のチップ同士を積層できない場合に×印を表示している。10番目の欄では異種チップ同士を積層可能な場合に○印を表示し、異種類のチップ同士を積層できない場合に×印を表示している。

【0101】続いて、上記した構成を有する半導体装置を積層する具体的な積層方法について説明する。尚、以下の説明においては、先に図3を用いて説明した半導体装置40を積層する例について説明する。

(12)

21

【0102】図34は、半導体装置40を積層する際に用いる半導体装置の積層装置を示している。この積層装置は、大略するとパッケージ供給テーブル41、スタックヘッド42、フラックス供給部43A、転写ヘッド44A、及びカメラユニット45等により構成されている。

【0103】パッケージ供給テーブル41は、前記した製造方法により製造された半導体装置40が一時的に載置されるテーブルである。本実施例では、各半導体装置40は、ハンダボール7が上面となるようパッケージ供給テーブル41上に載置されている。

【0104】尚、製造された半導体装置40は、本積層装置まで搬送用トレイに収納された状態で搬送される。この際、ハンダボール7の保護等の理由により、半導体装置40はハンダボール7を下側にして搬送用トレイに収納される。よって、本実施例の場合には、搬送用トレイから取り出された半導体装置40は、上下を逆転された上でパッケージ供給テーブル41に載置される。

【0105】スタックヘッド42は、図示しない移動装置（例えば、ロボット等）により、三次元的に移動可能な構成とされている。また、その先端部には吸引装置に接続された吸着ヘッド部47が設けられており、半導体装置40を吸引することにより保持できる構成とされている。

【0106】フラックス供給部43Aは、後述する転写ヘッド44Aにフラックス50を塗布するものである。このフラックス供給部43Aは円柱形状とされており、その上面は高い平面度を有した構成とされている。フラックス50は、このフラックス供給部43Aの上面に装填された後、スキージ48を用いて所定の厚さとされる。この時のフラックス50の厚さは、スキージ48とフラックス供給部43Aとの間のクリアランスを調整することにより、任意の厚さに設定することができる。

【0107】転写ヘッド44Aは、図示しない移動装置（例えば、ロボット等）により、三次元的に移動可能な構成とされている。そして、この移動に伴い転写ヘッド44Aの先端部（図における下端部）がフラックス供給部43Aに配設されたフラックス50に押し付けられることにより、フラックス50はフラックス供給部43Aから転写ヘッド44Aに移るよう構成されている。

【0108】カメラユニット45は、上部を撮像する上部カメラ51と下部を撮像する下部カメラ52を有した構成とされている。このカメラユニット45は、後述するように複数の半導体装置40を積層する際に、各半導体装置40の位置決めを行なうのに用いるものである。

【0109】尚、本実施例では2個の半導体装置を積層する例について説明するものとする。また、積層した際に下部に位置する半導体装置を符号40Aで示し、上部に位置する半導体装置を符号40Bで示すものとする。更に、上部及び下部に拘わらず半導体装置を示す場合には符号40を用いるものとする。

22

【0110】図示されるように、カメラユニット45は上部カメラ51と下部カメラ52を一体的に設けた構成とされているため、積層した際に下部に位置する半導体装置40Aと上部に位置する半導体装置40Bを同時に撮像することができる。よって、1台のカメラのみしか設けてない構成に比べ、カメラを反転させる必要がなくなり、位置決め処理の効率化を図ることができる。

【0111】次に、上記構成とされた積層装置を用いて行なわれる半導体装置40A、40Bの積層方法について説明する。

【0112】半導体装置40A、40Bを積層するには、先ず最下部に位置する半導体装置40Aをキャリアステージ46Aに装着する。キャリアステージ46Aは、各半導体装置40A、40Bを積層する際の基台となるものである。図35は、半導体装置40Aをキャリアステージ46Aに装着した状態を示している。

【0113】同図に示されるように、キャリアステージ46Aには半導体装置40Aを位置決めするための装着溝49Aが形成されている。スタックヘッド42は、最下部に位置する半導体装置40Aをパッケージ供給テーブル41から搬送し、キャリアステージ46Aの装着溝49A内に装着する。

【0114】前記したように、パッケージ供給テーブル41にはハンダボール7が上部に位置するよう各半導体装置40が載置されている。また、スタックヘッド42は、半導体装置40の封止樹脂2の表面を吸着することにより搬送処理を行なう。よって、キャリアステージ46Aに装着された状態において、半導体装置40Aはハンダボール7が上部に位置する姿勢となっている。

【0115】この半導体装置40Aの搬送処理の後（搬送処理と同時にを行なうことも可能である）、転写ヘッド44Aに対しフラックス50を塗布する処理が実施される。転写ヘッド44Aにフラックス50を塗布するには、図36に示すように、転写ヘッド44Aをフラックス50が塗布されたフラックス供給部43Aに押し付ける。前記したように、フラックス供給部43Aには、所定の厚さでフラックス50が配設されている。よって、転写ヘッド44Aをフラックス供給部43Aに押し付けることにより、フラックス50は転写ヘッド44Aに付着する。

【0116】このようにしてフラックス50が配設された転写ヘッド44Aは、キャリアステージ46Aまで移動する。続いて、転写ヘッド44Aは、キャリアステージ46Aに装着されている半導体装置40Aに押し付けられる。前記したように、半導体装置40Aはハンダボール7が上部に位置する姿勢でキャリアステージ46Aに装着されている。よって、転写ヘッド44Aに配設されているフラックス50は、転写ヘッド44Aが半導体装置40Aに押し付けられることにより、ハンダボール7に転写される。

(13)

23

【0117】この際、本実施例では、転写ヘッド44Aに配設されたフラックス50はハンダボール7にのみ転写され、封止樹脂2等の半導体装置40Aを構成する他の部分には付着しないよう構成されている。以下、この理由について説明する。

【0118】図38は、転写ヘッド44Aの底面（フラックス供給部43A及び半導体装置40Aに押し付けられる面）を拡大して示す図である。同図に示すように、転写ヘッド44Aの底面には凹部53が形成されており、これにより相対的に凹部53に対して突出したフラックス塗布部54Aが形成されている。

【0119】このフラックス塗布部54Aの配設位置は、半導体装置40Aのハンダボール7の配設位置と対応するよう構成されている。また、凹部53の配設位置は、半導体装置40Aの封止樹脂2の配設位置と略対応するよう構成されている。従って、上記構成とされた転写ヘッド44Aをフラックス供給部43Aに押し付けた際、フラックス50はフラックス塗布部54Aにのみ付着し、凹部53には付着しない。

【0120】これにより、フラックス50が配設された転写ヘッド44Aを半導体装置40Aに押し付けた際、図40に示されるように、フラックス50はハンダボール7にのみ転写される。また、転写ヘッド44Aを半導体装置40Aに押し付けた際、封止樹脂2は転写ヘッド44Aの凹部53と対向する状態となるため、封止樹脂2の上面と凹部53とは大きく離間した状態となる。このため、封止樹脂2にフラックス50が誤って塗布されることを確実に防止することができる。

【0121】フラックス塗布後には、後述するように、半導体装置40A、40Bを積層する積層処理、及び半導体装置40Aのハンダボール7と半導体装置40Bのボールパッド8を接合するリフロー処理が行われる。この際、ハンダボール7の配設位置以外にフラックス50が存在すると、フラックス50を構成する導電性金属（ハンダ等）が熔融し、隣接するハンダボール間或いはボールパッド間で短絡が生じてしまうおそれがある。

【0122】しかしながら、本実施例のように、フラックス50がハンダボール7にのみ転写される構成とすることにより、隣接するハンダボール間及び隣接するボールパッド間で短絡することを防止でき信頼性の向上を図ることができる。

【0123】一方、隣接するハンダボール間或いは隣接するボールパッド間で短絡することを防止するためには、ハンダボール7に適量のフラックス50を転写する必要がある。これは、必要量以上のフラックス50がハンダボール7に転写された場合には、余剰のフラックス50により隣接するハンダボール間或いは隣接するボールパッド間で短絡が発生するおそれがあるからである。

【0124】また、転写されるフラックス50の量が少なかった場合には、ハンダボール7の表面に酸化膜が形

24

成され、積層時にハンダボール7とボールパッド8との間で接続不良が発生するおそれがあるからである（フラックス50には、加熱時にハンダボール7の表面酸化を防止する機能がある）。

【0125】ハンダボール7に適量のフラックス50を転写する方法としては、フラックス供給部43Aに塗布するフラックス50の厚さを制御する方法の他に、転写ヘッド44Aに設けられるラックス塗布部54Aの形成を適宜選定することが考えられる。これについて、図39を用いて説明する。

【0126】図39（A）は、図38に示した転写ヘッド44Aのフラックス塗布部54Aを拡大して示している。同図に示すように、平面形状とされたフラックス塗布部54Aの場合、フラックス供給部43Aから転写されるフラックス50の量は少ない。

【0127】しかしながら、図39（B）に示すようにフラックス塗布部54Bを傾斜面により構成し、また図39（B）に示すようにフラックス塗布部54Bを凹球面により構成することにより、フラックス塗布部54A～54Cに付着するフラックス50の量を制御できる。これにより、ハンダボール7に適量のフラックス50を転写することが可能となる。

【0128】上記のようにハンダボール7上にフラックス50を転写する処理が終了すると、スタックヘッド42が再びパッケージ供給テーブル41上に移動すると共に下動し、図41に示すように、半導体装置40A上に積層する半導体装置40Bを吸着する。このスタックヘッド42の動作と共に、カメラユニット45はキャリアステージ46の上部に移動する。この際、カメラユニット45は、下部カメラ52がキャリアステージ46Aに装着された半導体装置40Aと対向する位置まで移動する。

【0129】一方、半導体装置40Bを吸着したスタックヘッド42は、カメラユニット45の上部カメラ51と対向する位置まで半導体装置40Bを搬送する。これにより、図42に示すように、カメラユニット45を中間に挟んで、下部に半導体装置40Aが位置し、上部に半導体装置40Bが位置する構成となる。そして、上部カメラ51は半導体装置40Bのボールパッド8の位置認識を行ない、下部カメラ52は半導体装置40Aのハンダボール7の位置認識を行なう。これにより、各半導体装置40A、40Bの位置認識が行なわれる。

【0130】上記のようにして各半導体装置40A、40Bの位置認識処理が行なわれると、続いてこの認識結果に基づきスタックヘッド42は、半導体装置40Bのボールパッド8と、半導体装置40Aのハンダボール7の位置が一致するよう、半導体装置40Aの上に半導体装置40Bを積層する。これにより、図44に示されるように、半導体装置40A、40Bは積層された状態となる。この際、上記のようにフラックス50はハンダボ

(14)

25

ール7の上部にのみ転写された構成であるため、下部に位置する半導体装置40Aの封止樹脂2と、上部に位置する半導体装置40Bのインターポーザ1との間にフラックス50が存在することはない。

【0131】図44に示す状態は、各半導体装置40A、40Bが、下部に位置する半導体装置40Aのハンダボール7と、上部に位置する半導体装置40Bのボールパッド8との間に介在するフラックス50で仮止めされた構成である。このため、半導体装置40A、40Bが積層された状態で、キャリアステージ46Aをリフロー炉に入れ、ハンダボール7をボールパッド8にハンダ接合する。これにより、各半導体装置40A、40Bは固定され、完全に積層された構成となる。

【0132】尚、本実施例では2個の半導体装置40A、40Bを積層する構成について説明したが、3個以上の半導体装置40を積層する場合には、上記した処理を繰り返し実施することにより、任意数の積層構造を実現することができる。

【0133】図45～図48は、上記した積層方法の変形例を説明するための図である。

【0134】図45に示す変形例は、ハンダボール7へフラックス50（図45には図示せず）を転写する際、ハンダボール7の整形処理を同時に行なうようにしたものである。即ち、ハンダボール7の大きさにはバラツキがあり、このバラツキが大きい場合には、半導体装置40A、40Bを積層した際、大きい直径のハンダボール7は接合するものの、小さい直径のハンダボール7は接合ができないおそれがある。

【0135】このため本変形例では、転写ヘッド44Dを用いてハンダボール7のレベリングを行なう構成としたことを特徴とするものである。このため、本変形例では転写ヘッド44Dの材質として、硬質のステンレス材を用いている。そして、図45（A）、（B）に示すように、フラックス50の転写処理時に水平状態を維持しつつ転写ヘッド44Dを下動させ、ハンダボール7を加圧する。

【0136】これにより、図45（C）に示すように、ハンダボール7の上面には平坦な整形部7Aが形成される。このように、転写ヘッド44Dを用いてハンダボール7のレベリングを行なうことにより、ハンダボール7の高さを均一化することができ、積層時における接続不良の発生を抑制することができる。また、ハンダボール7の上端部に平坦な整形部7Aが形成されるため、フラックス50の転写性も向上する。更に、レベリング処理をフラックス50の転写処理と同時に行なうため、積層処理の工程を増やすことなく、上記の効果を実現することができる。

【0137】図46に示す変形例は、半導体装置40A、40Bを積層する際、各半導体装置40A、40Bの位置決めを位置決め治具55を用いて行なうようにし

26

たものである。位置決め治具55は、位置決め部材55A～55Cにより構成されている。

【0138】この各位置決め部材55A～55Cは、図示しない位置決めピン及び位置決め孔により、積み上げた際に相互位置が所定位置に位置決めされる構成とされている。位置決め部材55Aは、半導体装置40Aの位置決めを行なうものであり、半導体装置40Aを内部に位置決めした状態で収納する位置決め孔59Aが形成されている。

【0139】また、位置決め部材55Bは、半導体装置40Bの位置決めを行なうものであり、半導体装置40Bを内部に位置決めした状態で収納する位置決め孔59Bが形成されている。更に、位置決め部材55Cは、最上部に配設されるものであり、転写ヘッド44Eのフラックス塗布部54Aが挿入する開口56が形成されている。

【0140】よって、半導体装置40A、40Bを位置決め治具55に装着することにより、各半導体装置40A、40Bの位置決め処理を行なうことができ、容易に位置決めを行なうことができる。従って、半導体装置40A、40B同士がずれることにより、ハンダボール7以外にフラックス50が付着することを防止することができる。

【0141】また、図47に示す変形例は、図46を用いて説明した位置決め治具55をクリップ部材57により固定し、この状態でリフロー処理を行なうことを特徴とするものである。この構成とすることにより、位置決め治具55を用いることにより高精度に位置決めされ、フラックス50により仮止めされた状態を維持しつつ、各半導体装置40A、40Bをリフロー処理することができる。これにより、加熱によりフラックス50が熔融状態となっても、各半導体装置40A、40Bを高い位置精度を持って積層することができる。尚、ハンダボール7とボールパッド8を接合する過熱処理の方法はリフロー処理に限定されるものではなく、ブロックヒーター法、レーザ法、或いはホットエアー法等を用いることもできる。

【0142】続いて、半導体装置40A、40Bを積層する他の積層方法について説明する。

【0143】図48は、本実施例において半導体装置40を積層する際に用いる半導体装置の積層装置を示している。尚、図48において、先に説明した図34に示した構成と同一構成については、同一符号を付してその説明を省略する。

【0144】本実施例の積層方法に用いる積層装置は、大略するとパッケージ供給テーブル41、スタックヘッド42、フラック供給部43B、及びカメラユニット45等により構成されている。よって、転写ヘッド44Aを必要とした図34に示した積層装置に比べ、構成が簡単化されている。

(15)

27

【0145】パッケージ供給テーブル41は、図34に示したものと同一構成である。しかしながら、本実施例では各半導体装置40は、ハンダボール7が下面となるようパッケージ供給テーブル41上に載置されている。前記したように、製造された半導体装置40は、ハンダボール7を下側にして搬送用トレイに収納される。

【0146】よって、本実施例の場合には、搬送用トレイから取り出された半導体装置40をそのままの姿勢でパッケージ供給テーブル41に載置することができるため、搬送用トレイから供給テーブル41へ半導体装置40を移し替える処理を容易に行なうことができる。また、スタックヘッド42がパッケージ供給テーブル41上の半導体装置40を吸着した際、半導体装置40Bはハンダボール7が下部に位置した状態となる。

【0147】本実施例で用いているフラックス供給部43Bは、半導体装置40Bのハンダボール7に直接フラックス50を塗布する構成とされている。このフラックス供給部43Bは円柱形状とされており、その上面にはフラックス装填溝58が形成されている。フラックス装填溝58は、平面視した状態で矩形枠状の形状を有している。また、このフラックス装填溝58は半導体装置40Bの配設位置に対応するよう構成されており、後述するようにハンダボール7にフラックス50を転写する際、ハンダボール7はフラックス装填溝58内に挿入される。

【0148】本実施例では、フラックス50はフラックス装填溝58内にのみ配設されている。フラックス50をフラックス装填溝58内に装填するには、フラックス50をフラックス供給部43Aの上面に配設した後、図50に示すようにスキージ48を用いてフラックス装填溝58内に挿入する。尚、フラックス50の厚さは、フラックス装填溝58の深さを調整することにより、任意の厚さに設定することができる。

【0149】次に、上記構成とされた積層装置を用いて行なわれる半導体装置40A、40Bの積層方法について説明する。

【0150】半導体装置40A、40Bを積層するには、先ず最下部に位置する半導体装置40Aをキャリアステージ46Bに装着する。図49は、半導体装置40Aをキャリアステージ46Bに装着した状態を示している。同図に示されるように、キャリアステージ46Aには半導体装置40Aを位置決めするための装着溝49Bが形成されている。スタックヘッド42は、半導体装置40Aをパッケージ供給テーブル41から搬送し、キャリアステージ46Bの装着溝49B内に装着する。

【0151】前記したように、パッケージ供給テーブル41にはハンダボール7が下部に位置するよう各半導体装置40が載置されている。また、スタックヘッド42は、半導体装置40のインターポーザ1を吸着することにより搬送処理を行なう。よって、キャリアステージ4

28

6Bに装着された状態において、半導体装置40Aはハンダボール7が下部に位置する姿勢となっている。

【0152】この半導体装置40Aの搬送処理の後（搬送処理と同時に進行することも可能である）、前記したようにスキージ48を用いてフラックス供給部43Bに対しフラックス50を装填する処理が実施される（図50参照）。フラックス供給部43Bに対しフラックス50を装填する処理が終了すると、スタックヘッド42が再びパッケージ供給テーブル41上に移動すると共に下動し、図51に示すように、半導体装置40A上に積層する半導体装置40Bを吸着する。

【0153】スタッドヘッド42は、半導体装置40Bをフラックス供給部43B上のフラックス装填溝58の上部まで搬送し、続いて下動する。半導体装置40Bは、スタッドヘッド42に搬送される際にハンダボール7が下部に位置する姿勢となっている。よって、スタッドヘッド42が下動することにより、図52に示すように、ハンダボール7はフラックス装填溝58内のフラックス50に浸漬される。これにより、ハンダボール7にはフラックス50が転写される。

【0154】この際、フラックス50はハンダボール7にのみ転写され、封止樹脂2等の半導体装置40Aを構成する他の部分には付着されない。即ち、フラックス供給部43Bはフラックス装填溝58にのみフラックス50が装填された構成となっており、またフラックス装填溝58はハンダボール7の配設位置に対応した構成となっている。更に、フラックス装填溝58にフラックス50を装填する際、フラックス供給部43Bのフラックス装填溝58以外の部分にはフラックス50が付着しないよう構成している。

【0155】これにより、半導体装置40Bのハンダボール7をフラックス装填溝58内のフラックス50に浸漬させた際、フラックス50はハンダボール7にのみ転写される。よって、本実施例によっても、隣接するハンダボール間及び隣接するボールパッド間で短絡することを防止でき、積層後における信頼性の向上を図ることができる。

【0156】上記のようにハンダボール7上にフラックス50を転写する処理が終了すると、スタックヘッド42は半導体装置40Bをキャリアステージ46Bの上部（具体的には、半導体装置40Aと対向する位置）まで搬送する。これと共に、カメラユニット45もキャリアステージ46の上部に移動する。これにより、図53に示すように、カメラユニット45を中間に挟んで、下部に半導体装置40Aが位置し、上部に半導体装置40Bが位置する構成となる。そして、カメラユニット45に配設された上カメラ51により半導体装置40Bのボールパッド8の位置認識を行ない、下部カメラ52により半導体装置40Aのハンダボール7の位置認識を行ない、これにより各半導体装置40A、40Bの位置認識が行

(16)

29

なわれる。

【0157】上記のようにして各半導体装置40A、40Bの位置認識処理が行なわれると、続いてこの認識結果に基づきスタックヘッド42は、図54に示されるように、半導体装置40Bのボールパッド8と半導体装置40Aのハンダボール7の位置が一致するよう半導体装置40Aの上に半導体装置40Bを積層する。

【0158】これにより、図55に示されるように、半導体装置40A、40Bは積層された状態となる。この際、上記のようにフラックス50はハンダボール7の上部にのみ転写された構成であるため、上部に位置する半導体装置40Bの封止樹脂2と、下部に位置する半導体装置40Aのインターポーザ1との間にフラックス50が存在することはない。

【0159】図55に示す状態は、半導体装置40Aと半導体装置40Bが、フラックス50で仮止めされた構成である。このため、半導体装置40A、40Bが積層された状態で、キャリアステージ46Bをリフロー炉に入れ、ハンダボール7をボールパッド8にハンダ接合する。これにより、各半導体装置40A、40Bは固定され、完全に積層された構成となる。

【0160】尚、本実施例においても、3個以上の半導体装置40を積層する場合には、上記した処理を繰り返し実施すればよく、これにより任意数の積層構造を実現することができる。

【0161】

【発明の効果】以上説明したように、請求項1記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔が設けられ、電極パッドの裏側面（突起電極と反対側の面）が貫通孔内で露出する。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を下側の半導体装置の貫通孔内の電極パッドに接続することができる。このとき、上側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に収容される。

【0162】したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0163】請求項2記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔が設けられ、電極パッドの裏側面が貫通孔内で露出し、この面に突起電極が設けられる。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を

30

下側の半導体装置の電極パッドに接続することができる。このとき、下側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に収容される。

【0164】したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0165】請求項3記載の発明によれば、請求項1又は2記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0166】請求項4記載の発明によれば、再配線基板の両面に半導体素子が実装され、かつ再配線基板の両面に設けられた電極パッドの一方のみに突起電極が設けられる。再配線基板の両面の電極パッドはVIAホールにより電氣的に接続される。したがって、突起電極が設けられていない側の半導体素子の封止高さより高い突起電極を有する半導体装置を、突起電極が設けられていない側から積層することができ、簡単な構成で半導体装置の積層構造を実現できる。

【0167】請求項5記載の発明によれば、請求項4記載の半導体装置において、突起電極が再配線基板の両側の半導体素子の封止高さの総和より高いため、同じ構成の半導体装置同士を積層することができる。

【0168】請求項6記載の発明によれば、請求項4又は5記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0169】請求項7記載の発明によれば、請求項4又は5記載の半導体装置において、再配線基板の両側の半導体素子はワイヤボンディングにより電極パッドに接続される。そして、片側の電極パッド上でのワイヤの接続位置は、反対側の電極パッド上でのワイヤの接続位置からずれている。

【0170】両側の半導体素子のボンディング位置が同じ場合は、片側の半導体素子のワイヤボンディングを行った後、反対側の半導体装置のワイヤボンディングを行なう場合、ボンディング位置の下にはすでにワイヤが張られているので、ボンディング位置を下側から支持することはできない。

【0171】しかし、本発明による半導体装置では、片側の半導体素子のワイヤボンディングを行った後、反対側の半導体素子のワイヤボンディングを行なう場合、反

(17)

31

対側のボンディング位置のずれを利用してボンディングされる部分の下側からボンディング位置を支持することができ、確実なワイヤボンディングを行なうことができる。

【0172】請求項8記載の発明によれば、請求項1乃至7に記載された半導体装置を複数個積層して接続した積層構造を有する半導体装置において、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なる構成とするため、サイズの異なる半導体素子を有する半導体装置同士でも積層することができる。

【0173】請求項9記載の発明によれば、再配線基板の両面に半導体装置を搭載する際に、片側の半導体素子を搭載した後に反対側の半導体素子を下側から支持しながら搭載することができるため、両側の半導体装置を確実に再配線基板に搭載することができる。

【0174】請求項10及び11記載の発明によれば、突起電極にのみフラックスを設けることができたため、フラックス塗布後に突起電極と電極パッドを接合するために実施されるリフロー処理時に隣接する突起電極及び電極パッドが短絡することを防止することができる。

【図面の簡単な説明】

【図1】従来のワイヤボンディングによるファンアウト型の半導体装置の断面図である。

【図2】従来のフリップチップ実装による半導体装置の断面図である。

【図3】本発明の第1実施例による半導体装置の一例の断面図である。

【図4】本発明の第1実施例による半導体装置の変形例の断面図である。

【図5】本発明の第1実施例による半導体装置のインターポーザの平面図である。

【図6】図3に示した半導体装置を積層した構造を示す断面図である。

【図7】図4に示した半導体装置を積層した構造を示す断面図である。

【図8】図4に示した半導体装置の変形例を示す断面図である。

【図9】図4に示した半導体装置の積層構造の一例を示す断面図である。

【図10】図4に示した半導体装置の変形例を示す断面図である。

【図11】ボールパッドの変形例を示す断面図である。

【図12】本発明の第2実施例による半導体装置の一例の断面図である。

【図13】本発明の第2実施例による半導体装置の変形例の断面図である。

【図14】図12に示す半導体装置を積層した構造の断面図である。

【図15】図13に示した半導体装置を積層した構造の断面図である。

32

【図16】本発明の第3実施例による半導体装置の一例の断面図である。

【図17】本発明の第3実施例による半導体装置の変形例の断面図である。

【図18】本発明の第4実施例による半導体装置の断面図である。

【図19】本発明の第5実施例による半導体装置の一例の断面図である。

【図20】本発明の第5実施例による半導体装置の変形例の断面図である。

【図21】図19及び図20に示した半導体装置の変形例を積層した構造を示す模式図である。

【図22】本発明の第5実施例による半導体装置のチップ搭載工程を示す模式図である。

【図23】本発明の第5実施例による半導体装置のワイヤボンディング工程を示す模式図である。

【図24】本発明の第5実施例による半導体装置のワイヤボンディング工程を示す模式図である。

【図25】本発明の第5実施例による半導体装置の樹脂封止工程を示す模式図である。

【図26】本発明の第5実施例による半導体装置の樹脂封止工程を示す模式図である。

【図27】個々の半導体装置を切り出す工程を示す模式図である。

【図28】本発明の第5実施例による半導体装置を基板に搭載した状態を示す模式図である。

【図29】レジストによりインターポーザを補強する例を示す模式図である。

【図30】レジストにより半導体装置の位置決めを行なう例を示す模式図である。

【図31】本発明実施例による半導体装置を組み合わせた積層構造を説明するための図である。

【図32】本発明実施例による半導体装置を組み合わせた積層構造を説明するための図である。

【図33】本発明実施例による半導体装置を組み合わせた積層構造を説明するための図である。

【図34】本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図である。

【図35】キャリアステージに装着された半導体装置を示す図である。

【図36】転写ヘッドにフラックスを塗布する方法を説明するための図である。

【図37】転写ヘッドを用いてハンダボールにフラックスを転写する方法を説明するための図である。

【図38】転写ヘッドの詳細を説明するための斜視図である。

【図39】各種転写ヘッドの構造を説明するための図である。

【図40】ハンダボールにフラックスが配設された状態を示す図である。

(18)

33

【図41】スタックヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図である。

【図42】カメラユニットを用いて各半導体装置の位置認識処理を行なっている状態を示す図である。

【図43】半導体装置を積層している状態を示す図である。

【図44】積層された半導体装置を示す図である。

【図45】転写ヘッドによりハンダボールの整形を行なう方法を説明するための図である。

【図46】位置決め治具を用いて積層された半導体装置の位置精度を向上させる方法を説明するための図である。

【図47】位置決め治具をクリップ部材で固定した状態でリフロー処理を行なう方法を説明するための図である。

【図48】本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図である。

【図49】キャリアステージに装着された半導体装置を示す図である。

【図50】フラックス供給部のフラックス装填部にフラックスを装填する方法を説明するための図である。

【図51】スタックヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図である。

【図52】半導体装置のハンダボールにフラックスを配設する方法を説明するための図である。

【図53】カメラユニットを用いて各半導体装置の位置認識処理を行なっている状態を示す図である。

【図54】半導体装置を積層している状態を示す図である。

【図55】積層された半導体装置を示す図である。

【符号の説明】

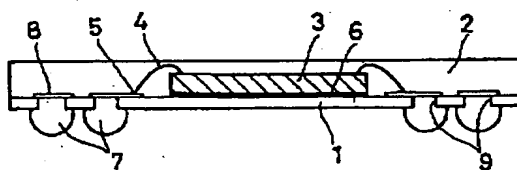
- 1, 1 A, 2 1 インターポーザ
- 2 封止樹脂
- 3, 3 A, 3-1, 3-2 半導体チップ
- 4 Auワイヤ

34

- 5 ボンディングパッド
- 6 DB材
- 7, 7 A, 7 B, 7 C ハンダボール
- 8, 8 B ボールパッド
- 9 スルーホール
- 10 ソルダーレジスト
- 10 A, 10 B レジスト
- 11 アンダーフィル材
- 12 突起電極
- 2 1 a 開口
- 2 2 V I Aホール
- 2 4 UVテープ
- 1 3, 3 9 緩衝材
- 3 0 治具
- 3 1 緩衝部材
- 3 2 押圧部材
- 3 3 A, 3 3 B モールド金型
- 3 4 ランナー
- 3 5 A, 3 5 B ゲート
- 3 6 撓み防止ピン
- 3 7 UVテープ
- 3 8 基板
- 4 0 半導体装置
- 4 1 パッケージ供給テーブル
- 4 2 スタックヘッド
- 4 3 A, 4 3 B フラックス供給部
- 4 4 A~4 4 E 転写ヘッド
- 4 5 カメラユニット
- 4 6 A, 4 6 B キャリアステージ
- 5 0 フラックス
- 5 4 A~5 4 C フラックス塗布部
- 5 5 位置決め治具
- 5 7 クリップ部材
- 5 8 フラックス装填溝

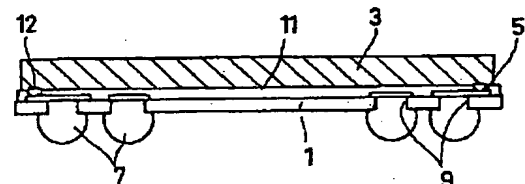
【図1】

従来のワイヤボンディングによるファンアウト型の半導体装置の断面図



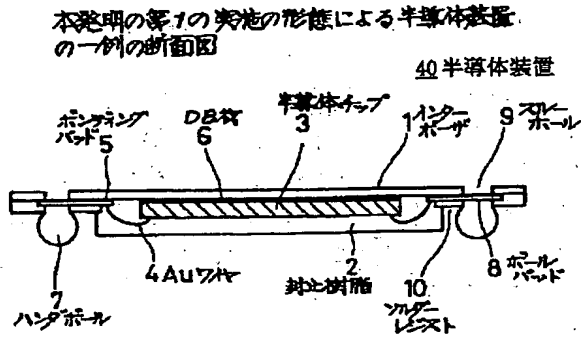
【図2】

従来のフリップチップ実装による半導体装置の断面図



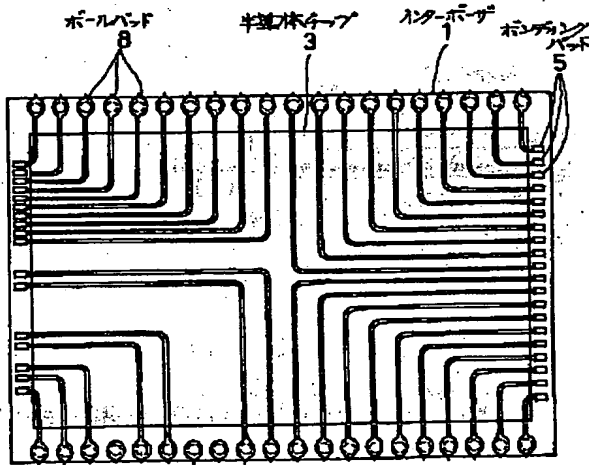
(19)

【図3】



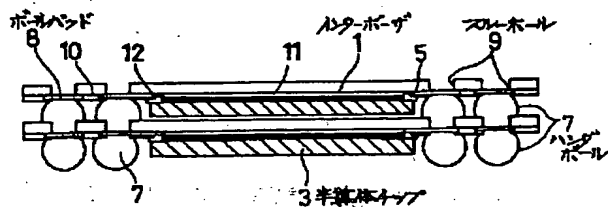
【図5】

本発明の第1の実施の形態による半導体装置のインターポザの平面図



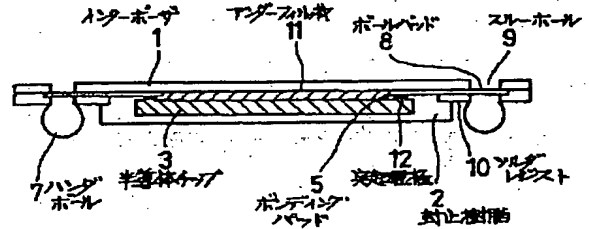
【図7】

図4に示した半導体装置を積層した構造を示す断面図



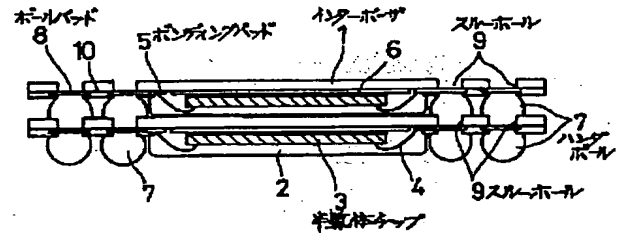
【図4】

本発明の第1の実施の形態による半導体装置の他の例の断面図



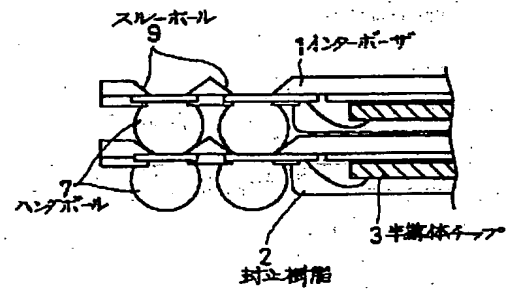
【図6】

図3に示した半導体装置を積層した構造を示す断面図



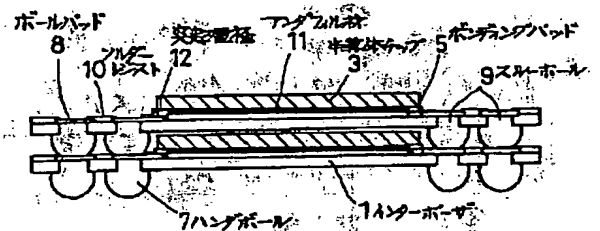
【図8】

図4に示した半導体装置の変形例を示す断面図



【図15】

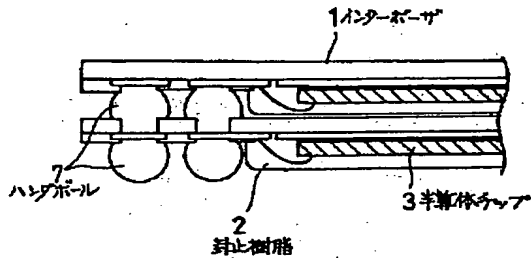
図13に示した半導体装置を積層した構造の断面図



(20)

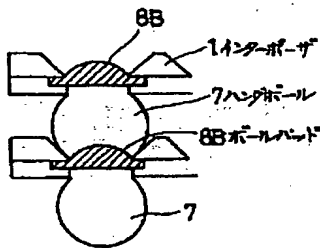
【図9】

図4に示した半導体装置の構造の一例を示す断面図



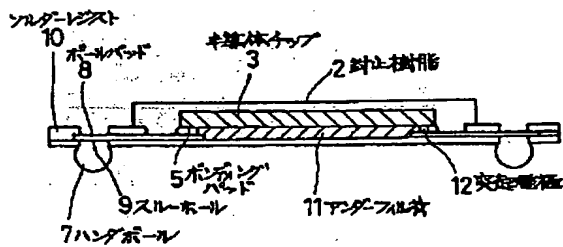
【図11】

ボールパッドの変形例を示す断面図



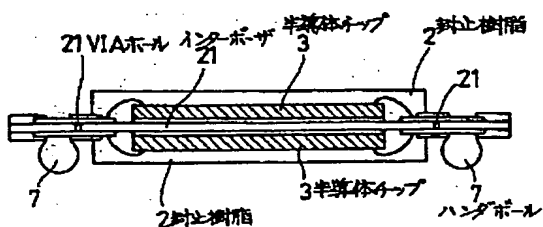
【図13】

本発明の第2の実施の形態による半導体装置の他の例の断面図



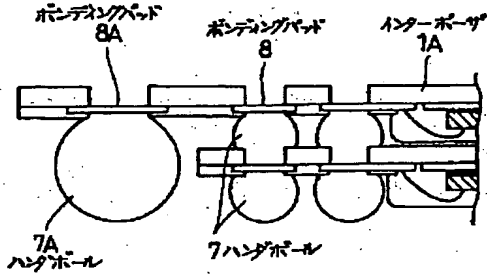
【図20】

本発明の第5の実施の形態による半導体装置の他の例の断面図



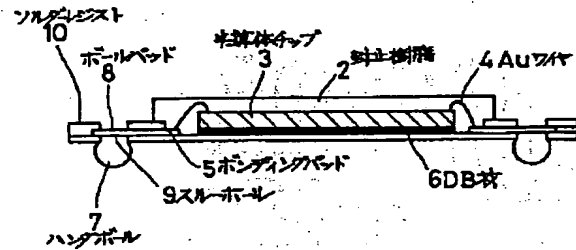
【図10】

図4に示した半導体装置の変形例を示す断面図



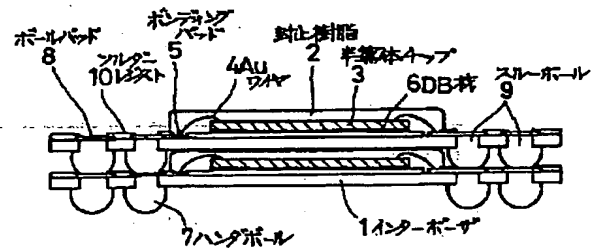
【図12】

本発明の第2の実施の形態による半導体装置の一例の断面図



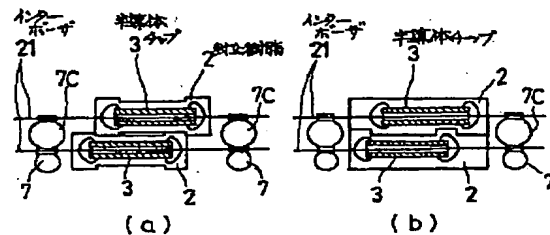
【図14】

図12に示す半導体装置を積層した構造の断面図



【図21】

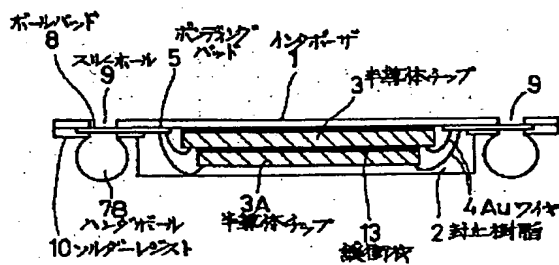
図19及び図20に示した半導体装置の変形例を積層した構造を示す模式図



(21)

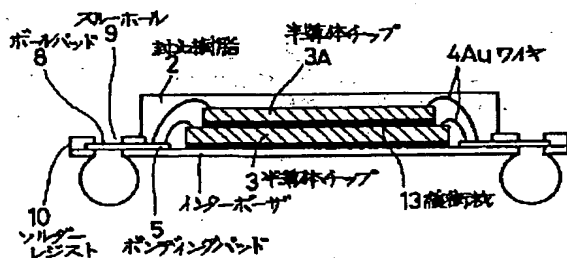
【图 16】

本発明の第3実施の形態による半導体装置の一例の断面図



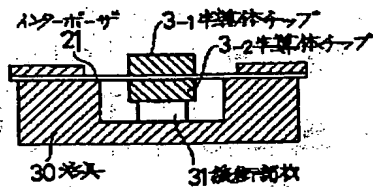
【图 18】

本発明の第4の実施の形態による半導体装置の
断面図



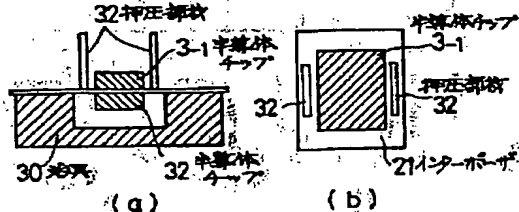
【图 22】

本発明の第5の実施の形態による半導体装置の
チップ搭載工程を示す模式図



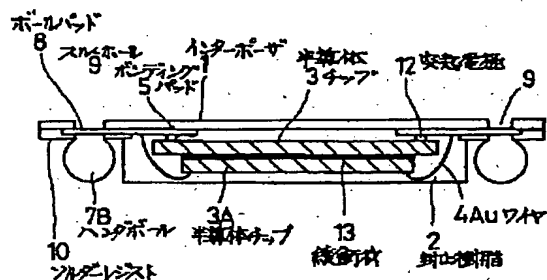
【圖 24】

本発明の第5の実施の形態による半導体装置のワイヤボンディング工程を示す模式図



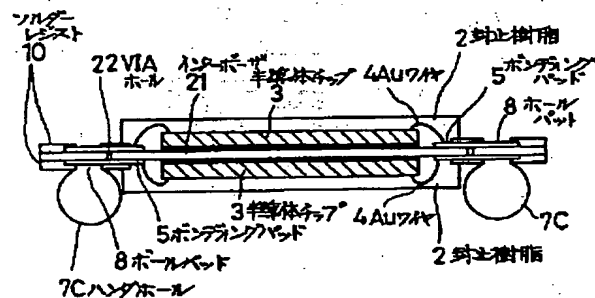
【圖 17】

本発明の第3の実施の形態による半導体装置の他の例の断面図



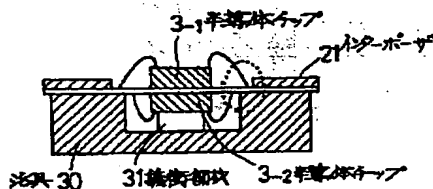
【图 19】

本発明の第5の実施の形態による半導体装置の一例の断面図



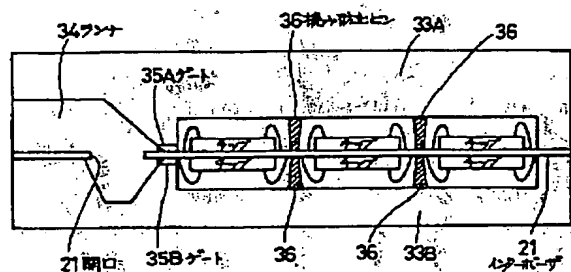
【图 23】

本発明の第5の実施の形態による半導体装置のワイヤボンディング工程を示す模式図



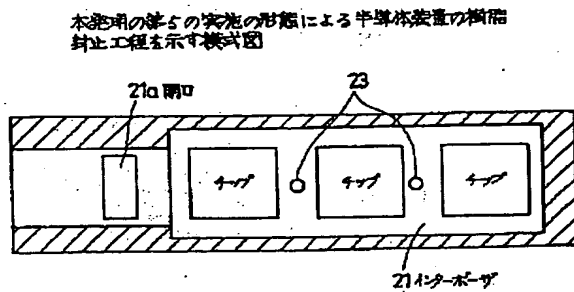
【圖 25】

本発明の第5の実施の形態による半導体装置の樹脂封止工程を示す模式図



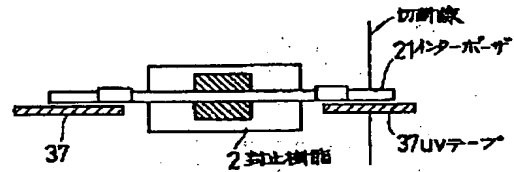
(22)

【図 26】



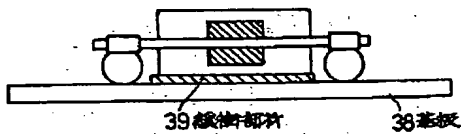
【図 27】

個々の半導体装置を切り出す工程を示す模式図



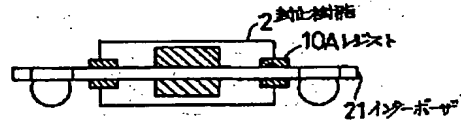
【図 28】

本発明の第5の実施の形態による半導体装置を基板に搭載した状態を示す模式図



【図 29】

レジストによりインターポーザを補強する例を示す模式図



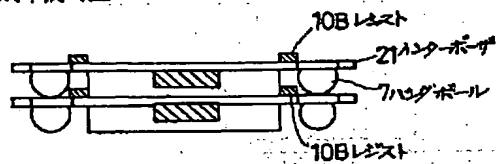
【図 31】

本発明の実施の形態による半導体装置を組み合わせた積層構造を説明するための図

		インターポーザ		ワイヤ方式		チップ	
		2枚	1枚	ワイヤ	フリップ	TAB	両面
2チップ		2枚	○	X	○	○	○
		2	○	○	○	○	○
		1	○	X	○	○	○
		1	○	X	○	○	○
		1	○	○	○	○	○

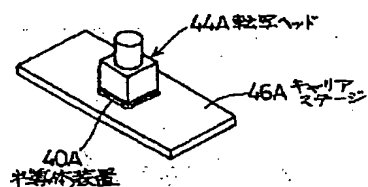
【図 30】

レジストにより半導体装置の位置決めを行う例を示す模式図



【図 37】

転写ヘッドを用いてハンダボールにフラックスを転写する方法を説明するための図



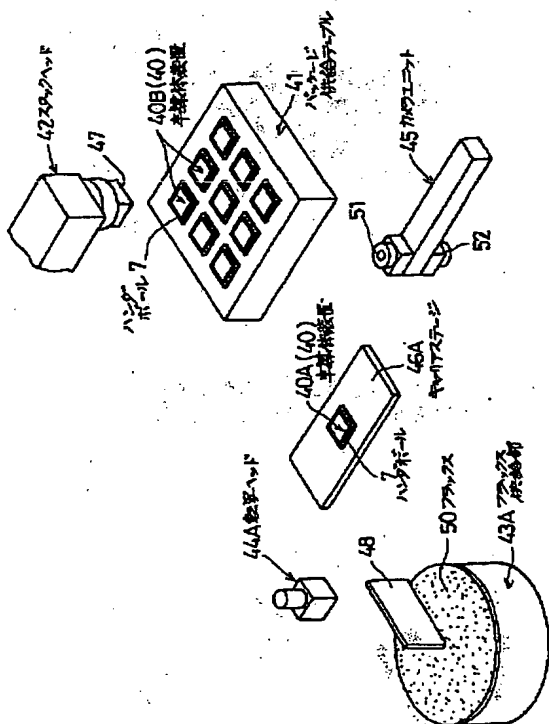
【图 3 2】

本発明の実施の形態による半導体装置を組み合わせた積層構造を説明するための図

		ヒタ ボス	所定端子			ワヤ方式			ケーブル	
			ボス	LGA	ワヤ	フリップ	TAB	両フット	異ケーブル	
34-7		3枚	○	X	○	○	○	○	○	○
		3	○	○	○	○	○	○	○	○
		2	○	X	○	○	○	○	○	○
		1	○	X	○	(E)X (F)○ (T)○	○ ○ ○	○ ○ ○	○	○
		1	○	X	○	(E)○ (F)○ (T)X	○ ○ ○	○ ○ ○	○	○
		1	○	○	○	(E)X (F)X (T)○	○ ○ ○	○ ○ ○	X	○
		1	○	X	○	(E)○ (F)X (T)X	○ ○ ○	○ ○ ○	X	○








【图 3 4】

本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図



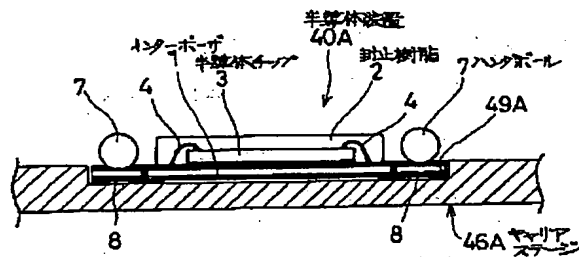
【図 3 3】

本発明の実施の形態による半導体装置を組み合わせた積層構造を説明するための図

		1/2 外板端材			ワヤ方式			テープ	
		ボルト	LEAD	ボヤ	ボヤ	TAB	ボヤ	ボヤ	
447		4枚	○	X	○	○	○	○	○
		4	○	○	○	○	○	○	○
		3	○	X	○	○	○	○	○
		2	○	X	○	○	○	○	○
		2	○	X	○	○ X ○ X ○	○	○	○
		2	○	○	○	○ X ○ ○ ○	○	○	○
		1	○	X	○	○ X ○ ○ X	○	○	○

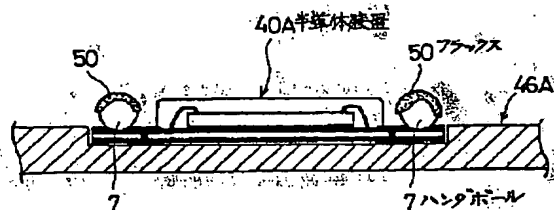
【图 3.5】

キャリアステージに装着された半導体装置を示す図



【図 40】

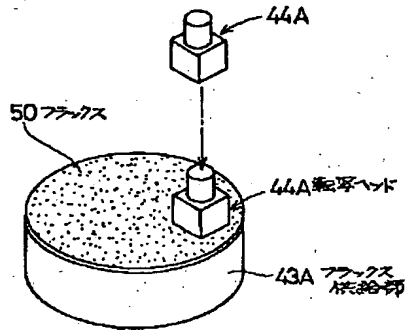
ハンダボールにフランク스가設置された状態を示す図



(24)

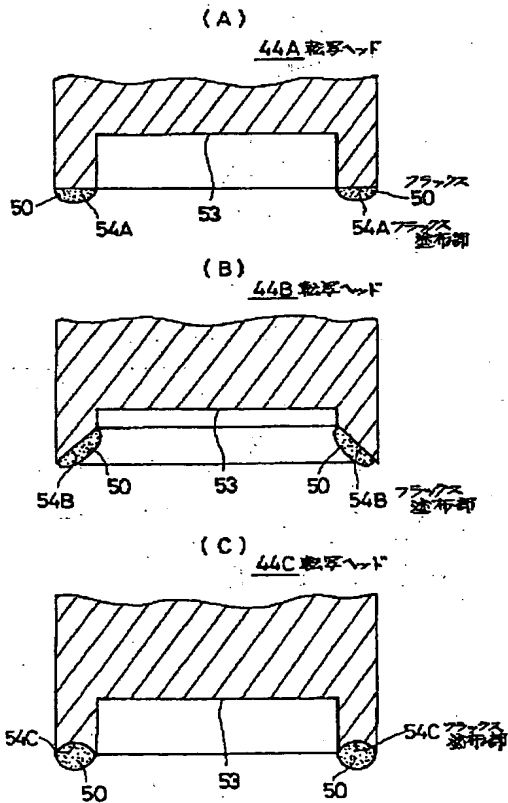
【図 36】

乾写ヘッドにフラックスを塗布する方法を説明するための図



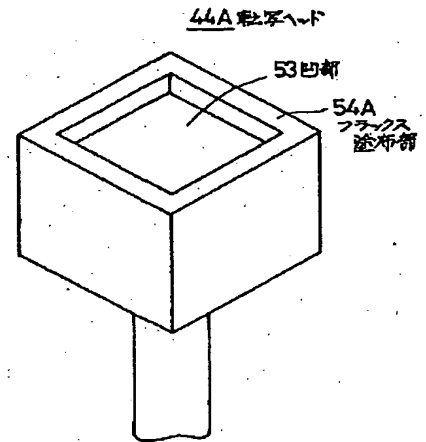
【図 39】

各種乾写ヘッドの構造を説明するための図



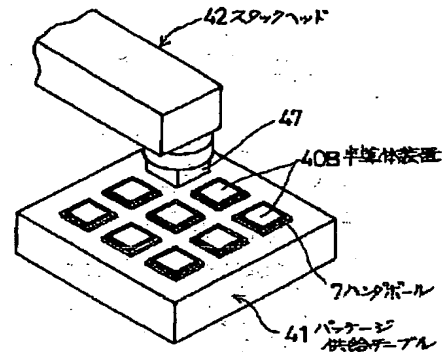
【図 38】

乾写ヘッドの詳細を説明するための斜視図



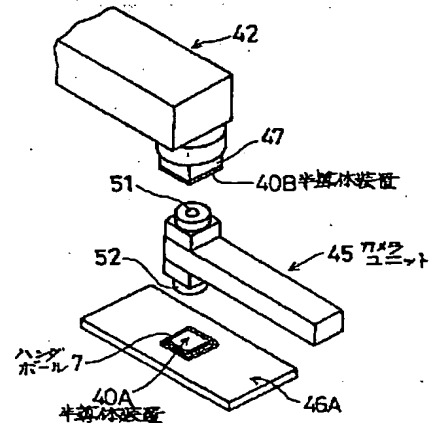
【図 41】

スタックヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図



【図 42】

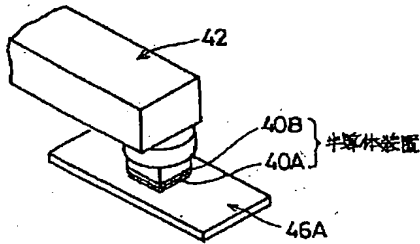
カメラユニットを用いて半導体装置の位置認識処理を行っている状態を示す図



(25)

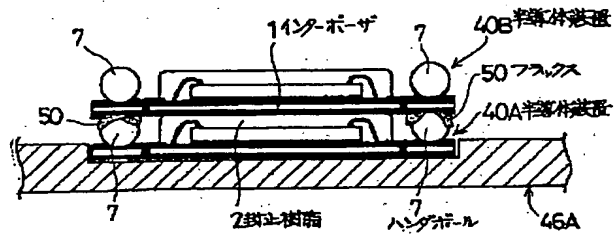
【図43】

半導体装置を積層している状態を示す図



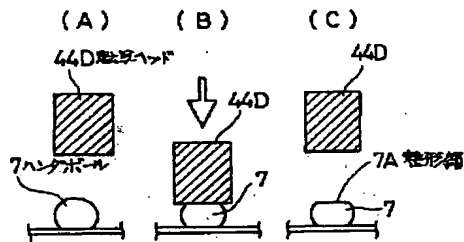
【図44】

積層された半導体装置を示す図



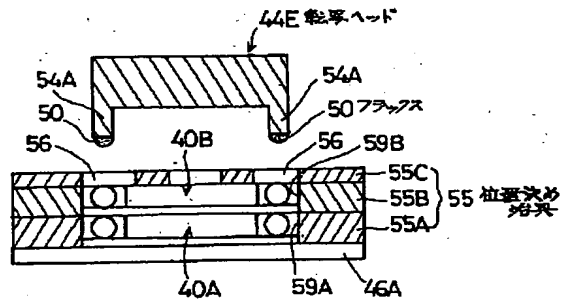
【図45】

転写ヘッドによりハンダボールの整形を行なう方法を説明するための図



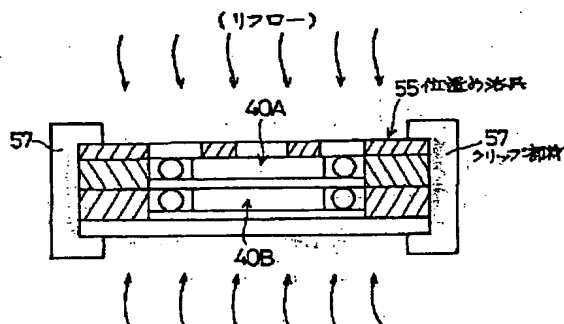
【図46】

位置決め治具を用いて積層された半導体装置の位置精度を向上させる方法を説明するための図



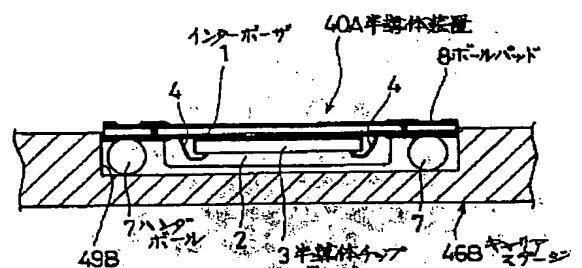
【図47】

位置決め治具をクリップ部材で固定した状態でリフロー処理を行なう方法を説明するための図



【図49】

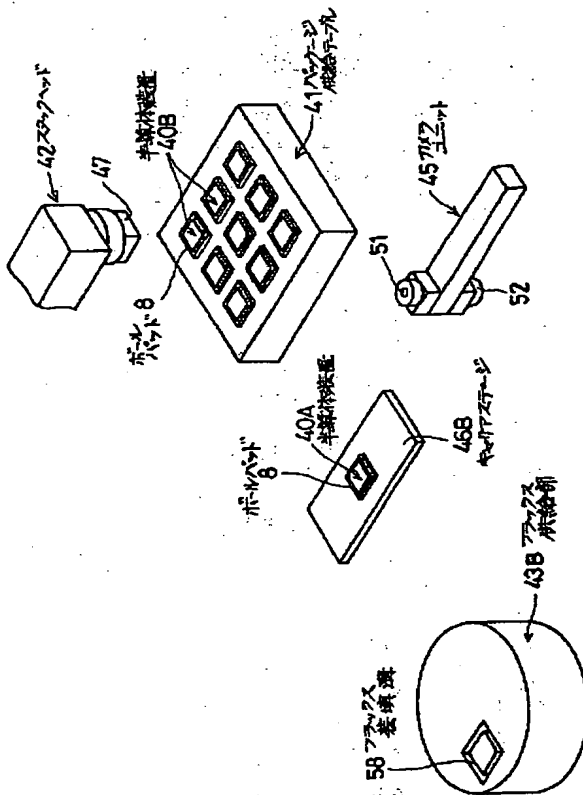
キャリアステージに装着された半導体装置を示す図



(26)

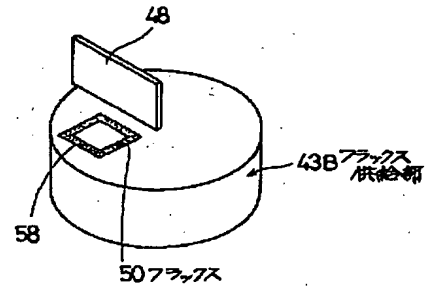
【図48】

本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図



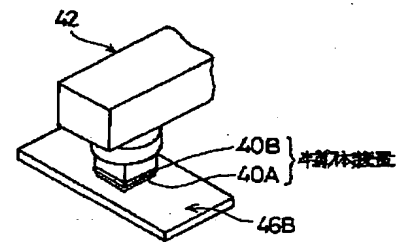
【図50】

フラックス供給部のフラックス供給部にフラックスを供給する方法を説明するための図



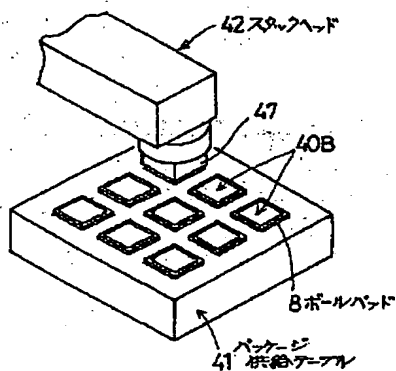
【図54】

半導体装置を積層している状態を示す図



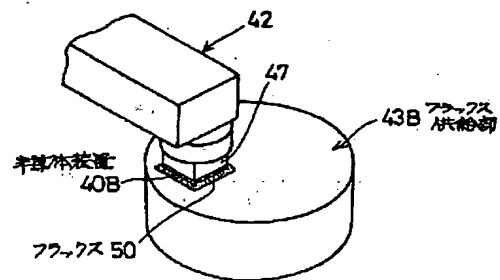
【図51】

スタックヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図



【図52】

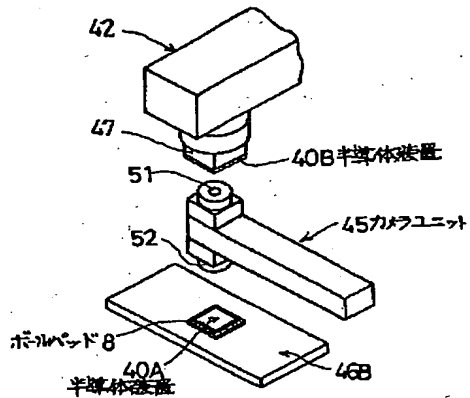
半導体装置のハンダボールにフラックスを配設する方法を説明するための図



(27)

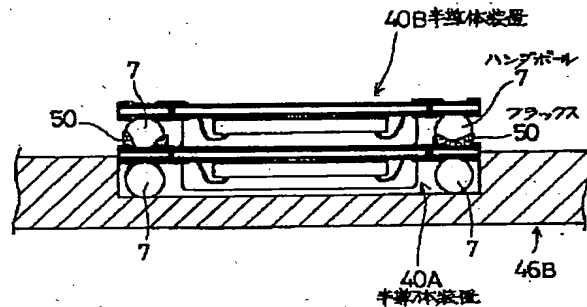
【図53】

カメラユニットを用いて各半導体装置の位置認識処理を行っている状態を示す図



【図55】

積層された半導体装置を示す図



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコード* (参考)

H 0 1 L 25/18

H 0 1 L 25/14

Z

25/10

25/11

(72) 発明者 宇野 正

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 安藤 史彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 高島 晃

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 小野寺 浩

宮城県柴田郡村田町大字村田字西ヶ丘1番
地の1 株式会社富士通宮城エレクトロニクス内

(72) 発明者 吉田 英治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 手代木 和雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

F ターム(参考) 4M109 AA01 BA03 CA21 DA01